

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 7 月 31 日 (31.07.2003)

PCT

(10) 国際公開番号
WO 03/063349 A1

(51) 国際特許分類⁷: H03H 11/52

(21) 国際出願番号: PCT/JP03/00513

(22) 国際出願日: 2003 年 1 月 22 日 (22.01.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-14989 2002 年 1 月 24 日 (24.01.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 科学技術
振興事業団 (JAPAN SCIENCE AND TECHNOLOGY
CORPORATION) [JP/JP]; 〒332-0012 埼玉県 川口市
本町四丁目 1 番 8 号 Saitama (JP).

一丁目 17 番 40 号 604 Saitama (JP). 藤原 徹哉
(FUJIWARA, Tetsuya) [JP/JP]; 〒254-0054 神奈川県 平
塚市 中里 17 番 18 号 Kanagawa (JP). 合原 一幸 (AI-
HARA, Kazuyuki) [JP/JP]; 〒275-0026 千葉県 習志野市
谷津四丁目 8 番 8 号 208 Chiba (JP).

(74) 代理人: 清水 守 (SHIMIZU, Mamoru); 〒101-0053 東
京都 千代田区 神田美土代町 7 番地 10 大園ビル
Tokyo (JP).

(81) 指定国 (国内): JP, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, SE, SI, SK, TR).

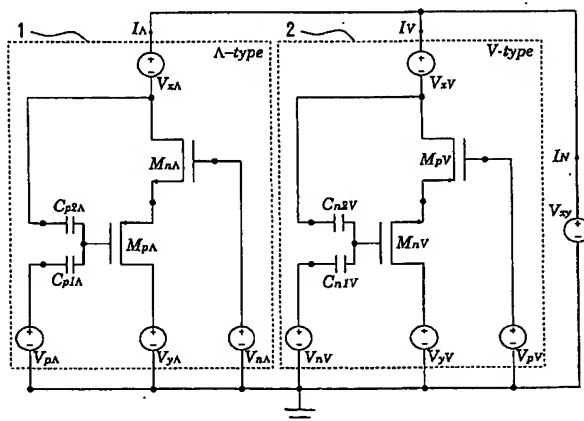
添付公開書類:
— 国際調査報告書

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 堀尾 喜彦 (HO-
RIO, Yoshihiko) [JP/JP]; 〒335-0004 埼玉県 蕨市 中央

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: NONLINEAR RESISTOR CIRCUIT USING FLOATING GATE MOSFETS

(54) 発明の名称: フローティングゲート MOSFET を用いた非線形抵抗回路



(57) Abstract: An N-shaped nonlinear resistor circuit using floating gate MOSFETs to realize a variety of N-shaped characteristics that can be approximated by piecewise linear functions of third to seventh orders and further to realize N-shaped V-I characteristics that can variously change those characteristics by use of external voltages. A Λ -type nonlinear resistor circuit (1) and a V-type nonlinear resistor circuit (2) using multi-input floating gate MOSFETs are connected in parallel, and the currents of the Λ -type and V-type nonlinear resistor circuits are added together, thereby providing a variety of N-shaped voltage-current characteristics.

[続葉有]



(57) 要約:

3次から7次までの区分線形関数で近似できるような、様々なN字型特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる、N字型のV-I特性を実現するフローティングゲートMOSFETを用いたN字型非線形抵抗回路を提供する。

多入力フローティングゲートMOSFETを用いたΛ字型の非線形抵抗回路(1)とV字型の非線形抵抗回路(2)を並列に接続し、前記Λ字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧-電流特性を合成する。

明 細 書

フローティングゲートMOSFETを用いた非線形抵抗回路

技術分野

本発明は、フローティングゲートMOSFETを用いた非線形抵抗回路に係り、特に、多様なN字型電圧－電流特性を実現する回路に関するものである。

背景技術

従来、このような分野の参考文献としては、以下に開示されるようなものがあった。

参考文献(1) : 特許第3007327号 : Y. Horio, K. Watarai, and K. Aihara, "Nonlinear resistor circuits using capacitively coupled multi-input MOSFETs," IEICE Trans. Fundamentals, vol. E82-A, no. 9, pp. 1926-1936, 1999.

参考文献(2) : K. Matsuda, Y. Horio, and K. Aihara, "A simulated LC oscillator using multi-input floating-gate MOSFETs" in Proc. IEEE Int. Symp. on Circuits and Syst., vol. III, pp. 763-766, 2001.

参考文献(3) : 松田欣也、天野智紀、堀尾喜彦、合原一幸、"容量性結合多入力MOSFETを用いたLC発振回路," 電子情報通信学会 第13回 回路とシステム(軽井沢)ワークショップ論文集, pp. 35-40, 2000.

参考文献(4) : 松田欣也、堀尾喜彦、合原一幸、"アクティブインダクタ回路の高Q化の一手法," 信学技報 vol. NLP2001-39, pp. 37-41, 2001.

参考文献(5) : T. Matsumoto, L. O. Chua, and M.

Komuro, "The double scroll," IEEE Trans. on Circuits and Syst., vol. CAS-32, no. 8, pp. 798-817, 1985.

参考文献(6): J. M. Cruz and L. O. Chua, "A CMOS IC nonlinear resistor for Chua's circuit," IEEE Trans. on Circuit and Syst., 1, vol. 39, no. 12, pp. 985-995, 1992.

従来、負の電圧-電流($V-I$)特性領域を持つ回路の1つとして、多入力フローティングゲートMOSFETを用いた非線形抵抗回路が本願発明者らによって提案されており〔上記参考文献(1)〕、インダクタシミュレーションや正弦波発振回路に应用されている〔上記参考文献(2)~(4)〕。これらの回路によれば、 Λ 字型およびV字型の非線形抵抗特性が実現でき、さらに、それらの特性は外部電圧により変更可能である。

また、N字型の非線形抵抗特性は、中央付近に負性抵抗領域があるため、発振回路やニューロン素子等に広く应用されている。特に、3次や5次の区分線形特性で近似できるものは、LやC等と組み合わせることで、正弦波発振回路やカオス発生回路等が構成できる〔上記参考文献(5), (6)〕。

発明の開示

本発明は、上記状況に鑑み、上記した多入力フローティングゲートMOSFETを用いた非線形抵抗回路を応用し、3次から7次までの区分線形関数で近似できるような、様々なN字型特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる、N字型の $V-I$ 特性を実現するフローティングゲートMOSFETを用いた非線形抵抗回路を提供することを目的とする。

本発明は、上記目的を達成するために、

〔1〕フローティングゲートMOSFETを用いた非線形抵抗回路において、多入力フローティングゲートMOSFETを用いた Λ 字型の非線形抵抗回路とV字型の非線形抵抗回路を並列に接続し、前記 Λ 字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧-電

流特性を合成することを特徴とする。

〔２〕上記〔１〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記N字型電圧－電流特性を連続的に変化させることを特徴とする。

〔３〕上記〔２〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、３次から７次までの各次数の区分線形特性で近似できる電圧－電流特性を実現することを特徴とする。

〔４〕上記〔３〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記３次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の負性抵抗部をできるだけ線形にし、その両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

〔５〕上記〔３〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記３次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の負性抵抗部をできるだけ線形にし、その両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN－チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

〔６〕上記〔３〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記４次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特

徴とする。

〔 7 〕 上記〔 3 〕 記載のフローティングゲート MOSFET を用いた非線形抵抗回路において、前記 4 次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又は V 字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路のフローティングゲート P－チャネル MOSFET のドレイン端子と接地間の電圧及び前記 V 字型の非線形抵抗回路のフローティングゲート N－チャネル MOSFET のドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

〔 8 〕 上記〔 3 〕 記載のフローティングゲート MOSFET を用いた非線形抵抗回路において、前記 5 次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及び V 字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路の入力端子と N－チャネル MOSFET のドレイン端子間の電圧及び前記 V 字型の非線形抵抗回路の入力端子と P－チャネル MOSFET のドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

〔 9 〕 上記〔 3 〕 記載のフローティングゲート MOSFET を用いた非線形抵抗回路において、前記 5 次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性及び V 字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型の非線形抵抗回路のフローティングゲート P－チャネル MOSFET のドレイン端子と接地間の電圧及び前記 V 字型の非線形抵抗回路のフローティングゲート N－チャネル MOSFET のドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とする。

〔 10 〕 上記〔 3 〕 記載のフローティングゲート MOSFET を用いた非線形抵抗回路において、前記 6 次特性は、前記 Λ 字型の非線形抵抗回路の電圧－電流特性又は V 字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記 Λ 字型

の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

〔11〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記6次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN－チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

〔12〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

〔13〕上記〔3〕記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネ

ルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN-チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とする。

図面の簡単な説明

第1図は、本発明にかかるフローティングゲートMOSFETを用いたN字型非線形抵抗回路図である。

第2図は、第1図中の各種の $V_{xy}-I_{\Delta}$ 特性（数値シミュレーション）図である。

第3図は、第1図中の各種の $V_{xy}-I_v$ 特性（数値シミュレーション）図である。

第4図は、本発明にかかる区分線形に近似した $V-I$ 特性図である。

第5図は、本発明にかかる3次N字型 $V-I$ 特性の合成原理図である。

第6図は、本発明にかかる3次の区分線形近似が可能な非線形抵抗特性の例（数値シミュレーション）を示す図である。

第7図は、本発明にかかる5次の非線形抵抗特性の例（ブレイクポイントの電圧座標を固定し傾き m_0 あるいは m_1 を変化させた例）を示す図である。

第8図は、本発明にかかる5次の非線形抵抗特性の例（傾き m_0 と m_1 及びブレイクポイント B_{P2-} と B_{P2+} を固定し、 B_{P1-} と B_{P1+} を変化させた例）を示す図である。

第9図は、本発明にかかる5次の非線形抵抗特性の例（傾き m_0 と m_1 及びブレイクポイント B_{P1-} と B_{P1+} を固定し、 B_{P2-} と B_{P2+} を変化させた例）を示す図である。

第10図は、本発明にかかる4次の非線形抵抗特性の例を示す図である。

第11図は、本発明にかかる6次の非線形抵抗特性の例を示す図である。

第12図は、本発明にかかる7次の非線形抵抗特性の例を示す図である。

第13図は、HSPICEによる回路シミュレーションの結果を示す図（その1）である。

第14図は、HSPICEによる回路シミュレーションの結果を示す図（その

2) である。

第15図は、個別部品による実験回路を示す図である。

第16図は、個別部品による実験により得られた3次 $V_{xy}-I_N$ 特性図である。

第17図は、個別部品による実験により得られた4次 $V_{xy}-I_N$ 特性図である。

第18図は、個別部品による実験により得られた5次 $V_{xy}-I_N$ 特性図である。

第19図は、個別部品による実験により得られた6次 $V_{xy}-I_N$ 特性図である。

第20図は、個別部品による実験により得られた7次 $V_{xy}-I_N$ 特性図である。

第21図は、第15図の回路を含むICチップを示す代用図面としての顕微鏡写真である。

第22図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その1)である。

第23図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その2)である。

第24図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その3)である。

第25図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その4)である。

第26図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その5)である。

第27図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その6)である。

第28図は、チップから測定した $V_{xy}-I_N$ 特性を示す図(その7)である。

発明を実施するための最良の形態

以下、本発明の実施の形態について詳細に説明する。

まず、N字型非線形抵抗回路について説明する。ここで、 Λ のサフィクスは表示の都合上、 $\underline{\Lambda}$ として表示することにする。

第1図は本発明にかかるフローティングゲートMOSFETを用いたN字型非線形抵抗回路図、第2図は第1図中の各種の $V_{xy}-I_{\underline{\Lambda}}$ 特性(数値シミュレーション)図であり、第2図(a)は $V_{\underline{x}\underline{\Lambda}}$ 、第2図(b)は $V_{\underline{y}\underline{\Lambda}}$ 、第2図(c)は $V_{\underline{n}\underline{\Lambda}}$ 、第2図(d)は $V_{\underline{p}\underline{\Lambda}}$ をパラメータとしたときの特性図、第3図は第1図中の各種の $V_{xy}-I_v$ 特性(数値シミュレーション)図であり、第3図(a)は V_{xv} 、第3図(b)は V_{yv} 、第3図(c)は V_{nv} 、第3図(d)は V_{pv} をパラメータとしたときの特性図である。

第1図に示すように、この回路は多入力フローティングゲートMOSFETを

用いた Λ 字型の非線形抵抗回路 1 と V 字型の非線形抵抗回路 2 [参考文献

(1)] を並列に接続した構成である。第 2 図および第 3 図に、第 1 図中の I_A および I_V の V_{xy} に対する非線形抵抗特性をそれぞれ示している。

まず、 Λ 字型の非線形抵抗回路 1 について説明する。

第 1 図に示すように、多入力フローティングゲート P-チャネル MOSFET である M_{pA} は、通常の P-チャネル MOSFET のゲート端子に、キャパシタ C_{p2A} と C_{p1A} を結合し、それらを入力端子とする。このようにキャパシタ C_{p2A} と C_{p1A} を介して入力を加えることにより、P-チャネル MOSFET・ M_{pA} のゲート端子は等価的にフローティングとなる。また、この M_{pA} には直列に N-チャネル MOSFET である M_{nA} が接続されている。

次に、V字型の非線形抵抗回路 2 について説明する。

第 1 図に示すように、多入力フローティングゲート N-チャネル MOSFET である M_{nV} は、通常の N-チャネル MOSFET のゲート端子に、キャパシタ C_{n1V} と C_{n2V} を結合し、それらを入力端子とする。このようにキャパシタ C_{n1V} と C_{n2V} を介して入力を加えることにより、N-チャネル MOSFET・ M_{nV} のゲート端子は等価的にフローティングとなる。また、この M_{nV} には直列に P-チャネル MOSFET である M_{pV} が接続されている。

これらの第 1 図および第 2 図に示すように、第 1 図中の各電圧により、様々な $V_{xy}-I_A$ および $V_{xy}-I_V$ 特性が得られることが分かる [参考文献 (1)]。第 1 図に示す回路では I_A と I_V を加算することにより、多様な N 字型 $V_{xy}-I_N$ 特性を合成することができる。

第 1 図中の I_A および I_V の各制御電圧に対する特性を記述する理論式は、参考文献 (1) 中に示されている。ここではそれらの特性を簡単に

$$I_A = f_A (V_{xy}, V_{xA}, V_{yA}, V_{nA}, V_{pA}), \quad \dots (1)$$

$$I_V = f_V (V_{xy}, V_{xV}, V_{yV}, V_{nV}, V_{pV}), \quad \dots (2)$$

と表すことにする。この時、第 1 図より

$$\begin{aligned} I_N &= I_A + I_V \\ &= f_A (V_{xy}, V_{xA}, V_{yA}, V_{nA}, V_{pA}) \\ &\quad + f_V (V_{xy}, V_{xV}, V_{yV}, V_{nV}, V_{pV}) \end{aligned} \quad \dots (3)$$

と表すことができる。

第4図は本発明にかかる区分線形に近似した $V-I$ 特性図であり、第4図(a)は3次特性、第4図(b)は4次特性、第4図(c)は5次特性、第4図(d)は6次特性、第4図(e)は7次特性を示している。

第1図で得られる $V_{xy}-I_N$ 特性は、連続的に変化できるが、以下ではこの特性を第4図に示すような3次から7次までの区分線形の特性に近似して説明する。ここで、線形区間の数を次数と呼ぶ。また、各線形区間の端点をブレイクポイントと呼ぶ。

ここで、第4図中の各次数の特性を実現する方法を簡単に定性的に述べる。

まず、第4図(a)に示す3次特性は、第2図および第3図の $V_{xy}-I_A$ および $V_{xy}-I_v$ 特性を、第1図中の V_{xA} または V_{yA} 、および V_{xv} または V_{yv} によりそれぞれ左と右方向に並行移動させて合成することで得られる。この際、 $V_{xy}-I_N$ 特性の中央付近が全体として1つの線形区分になるようにすればよい。このためには Λ 字型およびV字型の特性の負性部分ができるだけ線形であることが望ましい。すなわち、 V_{nA} 、 V_{pA} 、 V_{nv} 、 V_{pv} の設定が重要である。この様子を第5図に示す。

これと同様に4次から7次の特性が実現できる。これらの特性は3次特性とは異なり、特性の中央部分にもブレイクポイントが必要となる。これは、特に第1図中の V_{pA} および V_{nv} を調整することで実現可能である。4次特性は $V_{xy}-I_A$ または $V_{xy}-I_v$ のどちらかの特性の負性部分の傾きを調節することにより実現でき、5次特性は Λ 字型およびV字型の特性の両方を同時にそのようにすることにより実現できる。また、6次特性は、4次特性で用いた Λ 字型およびV字型の特性を、第1図中の V_{xA} または V_{yA} 、および V_{xv} または V_{yv} によりそれぞれ横軸方向に並行移動して実現する。さらに、7次特性は、5次特性を元に、同様の方法で得られる。

これら3次から7次の全ての特性において、各ブレイクポイントおよび区分線形部分の傾きを変化させることができる。このことを、通常よく用いられる3次と5次の特性を例に挙げて以下に詳しく説明する。

(1) 3次特性

以下の方法で、第4図(a)中のブレイクポイントの電流軸座標 I_{BP-} および I_{BP+} を固定し、電圧軸座標 V_{BP-} および V_{BP+} を変えることで傾き m_0 のみを変化させることができる。まず、 V_{BP-} および V_{BP+} を V_{xA} または V_{yA} 、および V_{xv} または V_{yv} により決定しておく。次いで、これらを変化させないようにしながら V_{nA} 、 V_{pA} 、 V_{nv} 、 V_{pv} の各電圧により I_{BP-} および I_{BP+} を調整し m_0 を決定する。この場合、 I_{BP-} と I_{BP+} を固定しておくことが必要であるため、特に V_{pA} と V_{nv} が重要なパラメータとなる。

次に、傾き m_0 を固定してブレイクポイント B_{P-} 、 B_{P+} を調整する方法を示す。まず、 V_{BP-} 、 V_{BP+} を V_{xA} または V_{yA} 、および V_{xv} または V_{yv} により決定し、次に、これを主に V_{nA} および V_{pv} により、電圧軸方向に拡大あるいは縮小してブレイクポイントを移動させる。

(2) 5次特性

5次特性でも、第4図(c)中の B_{P1-} 、 B_{P1+} 、 B_{P2-} および B_{P2+} の4つのブレイクポイントを固定し、傾き m_0 および m_1 のそれぞれを調整可能である。 m_0 のみの変化では、Λ字型およびV字型特性の負性抵抗部分の傾きの変化を利用するため、 V_{pA} 、 V_{nv} が重要なパラメータになる。 m_1 の調整は、 V_{yA} および V_{yv} で可能であり、その後、他の電圧によりブレイクポイントを調整する。

また、次のようにして傾き m_0 および m_1 を固定しながら、各ブレイクポイントを変化できる。 B_{P1-} あるいは B_{P1+} の変化は、 V_{nA} および V_{pv} により特性を縦軸方向に拡大しながら、 m_1 の区分線形部分の長さを変化させることにより実現できる。 B_{P2-} あるいは B_{P2+} の調整は、3次特性のブレイクポイントの変化と同様に V_{pA} 、 V_{xA} または V_{yA} 、および V_{nv} 、 V_{xv} または V_{yv} により電圧軸方向および電流軸方向の拡大あるいは縮小で可能である。この際、他の制御電圧による微調整を要する。

〔数値シミュレーション〕

以下、参考文献(1)で導出された簡単なMOSFETモデルによるV-I特性式を用いたコンピュータシミュレーションにより、上記した3次から7次のN字型非線形抵抗特性を確認する。特に、3次および5次の特性については、ブレイクポイントおよび傾きそれぞれの調整の様子を詳しく示す。シミュレーション

実験では、第1図中の各N-チャネルMOSFETおよびP-チャネルMOSFETのトランスコンダクタンスパラメータ： $K_n = K_p = 300 \mu A/V^2$ 、N-チャネルMOSFETの閾値電圧： $V_{tn} = 0.55 V$ 、P-チャネルMOSFETの閾値電圧： $V_{tp} = -0.8 V$ とした。さらに、第1図で $C_{p1A} = C_{p2A} = C_{n1v} = C_{n2v} = 0.1 pF$ とした。

(1) 3次非線形抵抗特性

第6図に表1中の各電圧値を用いた場合に得られる3次区分線形近似が可能な特性を示す。第6図中のAの特性とCの特性は、 m_0 が同じでブレイクポイントのみ異なる。これに対し、Bの特性は、 I_{BP-} および I_{BP+} をCと同じに設定し、傾き m_0 を変えたものである。これらより、第4図(a)に示したブレイクポイント B_{P-} 、 B_{P+} 、および傾き m_0 をそれぞれ変化できることが分かる。

表1

第1図中の電圧	第6図中の特性		
	A	B	C
$V_{xA} [V]$	-5.9	-5.9	-4.4
$V_{yA} [V]$	0	0	0
$V_{pA} [V]$	3.7	2.5	2.95
$V_{nA} [V]$	-4.1	-5.3	-4.1
$V_{xv} [V]$	5.9	5.9	4.4
$V_{yv} [V]$	0	0	0
$V_{nv} [V]$	3.7	5.9	3.7
$V_{pv} [V]$	-3.9	-2.7	-3.15

また、第6図と表1を見ると、ブレイクポイントは V_{nA} および V_{pv} に依存し、傾き m_0 は V_{pA} および V_{nv} により大きく変化することが分かる。

(2) 5次非線形抵抗特性

第7図、第8図および第9図にシミュレーションで得られた、5次の区分線形特性で近似可能な $V_{xy} - I_N$ 特性の例を示す。また、これらの図中の各特性に対

応する制御電圧の値を表 2 から表 4 にそれぞれ示す。

表 2

第 1 図中の電圧	第 7 図中の特性		
	A	B	C
V_{xA} [V]	-3.95	-3.95	-4.05
V_{yA} [V]	0	0.1	0.38
V_{nA} [V]	1.55	1.55	1.65
V_{pA} [V]	-5.15	-5.4	-4.2
V_{xv} [V]	3.95	3.95	4.05
V_{yv} [V]	0	-0.1	-0.38
V_{nv} [V]	4.65	4.9	3.7
V_{pv} [V]	-1.8	-1.8	-1.9

表 3

第 1 図中の電圧	第 8 図中の特性		
	A	B	C
V_{xA} [V]	-3.7	-3.9	-4.1
V_{yA} [V]	0	0.1	0.13
V_{nA} [V]	1.35	1.525	1.7
V_{pA} [V]	-5	-5.7	-6.1
V_{xv} [V]	3.7	3.9	4.1
V_{yv} [V]	0	-0.1	-0.13
V_{nv} [V]	4.7	5.2	5.6
V_{pv} [V]	-1.6	-1.775	-1.95

表 4

第 1 図中の電圧	第 9 図中の特性		
	A	B	C
V_{xA} [V]	- 3 . 4	- 3 . 9 5	- 5
V_{yA} [V]	0 . 1 3 5	0 . 1	0 . 1
V_{nA} [V]	1 . 5 3 5	1 . 5 5	1 . 5 5
V_{pA} [V]	- 4 . 9 3	- 5	- 6 . 1
V_{xv} [V]	3 . 4	3 . 9 5	5
V_{yv} [V]	- 0 . 1 3 5	- 0 . 1	- 0 . 1
V_{nv} [V]	4 . 4 3	4 . 5	5 . 5
V_{pv} [V]	- 1 . 7 6 5	- 1 . 8	- 1 . 8

第 7 図中の曲線 B と C は第 4 図 (c) 中の 4 つのブレイクポイントの電圧座標を固定したまま傾き m_0 を変化させた例である。同様に、曲線 A と B は傾き m_1 を変化させた例である。これらと表 2 より、傾き m_0 を調整する際は V_{nA} と V_{pv} をほぼ一定に保ちながら V_{pA} と V_{nv} を変化させればよいことが分かる。さらに傾き m_1 については、 V_{yA} と V_{yv} で特性の概略を決定し、さらに V_{pA} と V_{nv} を用いて調整すればよい。

一方、第 8 図と表 3 は、第 4 図 (c) 中の傾き m_0 と m_1 を固定してブレイクポイント B_{P1-} と B_{P1+} を調整した例、第 9 図と表 4 は、 B_{P2+} と B_{P2-} を調整した例である。これらのシミュレーション実験より、 B_{P1+} は V_{pv} に、 B_{P1-} は V_{nA} にそれぞれ依存していること、および、 B_{P2+} は V_{xv} と V_{nv} 、 B_{P2-} は V_{xA} と V_{pA} でそれぞれ決定できることが分かる。

(3) 4 次、6 次および 7 次非線形抵抗特性

第 10 図は 4 次、第 11 図は 6 次、第 12 図は 7 次の非線形抵抗特性をそれぞれ示している。これらの特性で使した第 1 図中の各電圧を表 5、表 6 および表 7 にそれぞれ示す。

表 5

第 1 図中の電圧	第 1 0 図中の特性	
	A	B
V_{xA} [V]	- 4 . 4	- 4 . 4
V_{yA} [V]	0	0
V_{nA} [V]	2 . 6	1 . 5 5
V_{pA} [V]	- 4	- 6
V_{xv} [V]	4 . 4	4 . 4
V_{yv} [V]	0	0
V_{nv} [V]	5 . 5	3 . 7
V_{pv} [V]	- 1 . 8	- 2 . 7 5

表 6

第 1 図中の電圧	第 1 1 図中の特性	
	A	B
V_{xA} [V]	- 6	- 6
V_{yA} [V]	0	0
V_{nA} [V]	2 . 6	1 . 5 5
V_{pA} [V]	- 4	- 6
V_{xv} [V]	6	6
V_{yv} [V]	0	0
V_{nv} [V]	5 . 5	3 . 7
V_{pv} [V]	- 1 . 8	- 2 . 7 5

表 7

第 1 図中の電圧	
V_{xA} [V]	- 5. 5
V_{yA} [V]	0. 1
V_{nA} [V]	1. 5 5
V_{pA} [V]	- 5. 4
V_{xv} [V]	5. 5
V_{yv} [V]	- 0. 1
V_{nv} [V]	4. 9
V_{pv} [V]	- 1. 8

表 1 C および表 5 より 4 次の特性は、3 次特性を元に V_{nA} 、 V_{pA} 、 V_{nv} および V_{pv} を変化させることで得られることが分かる。さらに、表 5 と表 6 および表 2 B と表 7 より、6 次および 7 次の特性はそれぞれ 4 次および 5 次の特性を元にし、さらに V_{xA} と V_{xv} を変化させることで得られることが分かる。

〔HSPICE シミュレーション〕

MOSIS TSMC 0. 35 μm CMOS プロセスパラメータを使用し、第 1 図中の M_{nA} 、 M_{nv} のサイズを共に $W = 20 \mu\text{m}$ 、 $L = 0. 4 \mu\text{m}$ 、 M_{pA} 、 M_{pv} のそれを共に $W = 60 \mu\text{m}$ 、 $L = 0. 4 \mu\text{m}$ とした。またキャパシタの値を $C_{p1A} = C_{p2A} = C_{n1v} = C_{n2v} = 0. 1 \text{ pF}$ とした場合の HSPICE による回路シミュレーションの結果を第 13 図および第 14 図に示す。これらの特性は、上記した 3 次から 7 次までのシミュレーション特性にそれぞれ対応している。

上記したように、多入力フローティングゲート MOSFET を用いた N 字型非線形抵抗回路を提供することができる。さらに、数値計算と HSPICE シミュレーションにより $V-I$ 特性の例を示し、どの様に各特性を実現するかについて定性的に説明した。

〔個別部品による実験〕

この実施例では、第 15 図の回路を個別部品により構成し、 $V_{xy}-I_N$ 特性を

測定した。回路は第 15 図に示す構成とした。回路中の $M_{nA} 11$, $M_{nv} 12$ は共に 2SK612、 $M_{pA} 13$, $M_{pv} 14$ は共に 2SJ133 を使用した。さらに、キャパシタ $C_{p1A} 15$, $C_{p2A} 16$, $C_{n1v} 17$, $C_{n2v} 18$ の値を $0.1 \mu F$ としたときの実験結果を、第 16 図から第 20 図に示し、それぞれの実験結果を実現する第 15 図中の各電圧値を表 8 から表 12 に示す。

すなわち、第 16 図には、この 3 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、第 15 図における各電圧の値は、表 8 に示されるように、 V_A は $-0.7 V$ 、 V_{nA} は $1.55 V$ 、 V_{pA} は $-4.69 V$ 、 V_v は $0.7 V$ 、 V_{nv} は $3.23 V$ 、 V_{pv} は $-2.32 V$ である。

表 8

第 15 図中の電圧	
$V_A [V]$	-0.7
$V_{nA} [V]$	1.55
$V_{pA} [V]$	-4.69
$V_v [V]$	0.7
$V_{nv} [V]$	3.23
$V_{pv} [V]$	-2.32

また、第 17 図には、この 4 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、第 15 図における各電圧の値は、表 9 に示されるように、 V_A は $-1.6 V$ 、 V_{nA} は $1.46 V$ 、 V_{pA} は $-5.65 V$ 、 V_v は $1 V$ 、 V_{nv} は $3.43 V$ 、 V_{pv} は $-2.28 V$ である。

表 9

第 1 5 図中の電圧	
$V_{\underline{A}}$ [V]	- 1 . 6
$V_{\underline{nA}}$ [V]	1 . 4 6
$V_{\underline{pA}}$ [V]	- 5 . 6 5
V_v [V]	1
V_{nv} [V]	3 . 4 3
V_{pv} [V]	- 2 . 2 8

また、第 1 8 図には、この 5 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、第 1 5 図における各電圧の値は、表 1 0 に示されるように、 $V_{\underline{A}}$ は - 1 . 5 V、 $V_{\underline{nA}}$ は 1 . 4 6 V、 $V_{\underline{pA}}$ は - 5 . 6 5 V、 V_v は 1 . 5 V、 V_{nv} は 4 . 2 3 V、 V_{pv} は - 2 . 1 8 V である。

表 1 0

第 1 5 図中の電圧	
$V_{\underline{A}}$ [V]	- 1 . 5
$V_{\underline{nA}}$ [V]	1 . 4 6
$V_{\underline{pA}}$ [V]	- 5 . 6 5
V_v [V]	1 . 5
V_{nv} [V]	4 . 2 3
V_{pv} [V]	- 2 . 1 8

また、第 1 9 図には、この 6 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、第 1 5 図における各電圧の値は、表 1 1 に示されるように、 $V_{\underline{A}}$ は - 2 . 1 V、 $V_{\underline{nA}}$ は 1 . 4 6 V、 $V_{\underline{pA}}$ は - 5 . 6 5 V、 V_v は 1 . 6 V、 V_{nv} は 3 . 4 3 V、 V_{pv} は - 2 . 2 8 V である。

表 1 1

第 1 5 図中の電圧	
$V_{\underline{A}}$ [V]	- 2 . 1
$V_{\underline{nA}}$ [V]	1 . 4 6
$V_{\underline{pA}}$ [V]	- 5 . 6 5
V_v [V]	1 . 6
V_{nv} [V]	3 . 4 3
V_{pv} [V]	- 2 . 2 8

更に、第 2 0 図には、この 7 次 $V_{xy} - I_N$ 特性の個別部品による実験結果が示されており、第 1 5 図における各電圧の値は、表 1 2 に示されるように、 $V_{\underline{A}}$ は - 2 . 1 V、 $V_{\underline{nA}}$ は 1 . 4 6 V、 $V_{\underline{pA}}$ は - 5 . 6 5 V、 V_v は 2 . 1 V、 V_{nv} は 4 . 2 3 V、 V_{pv} は - 2 . 1 8 V である。

表 1 2

第 1 5 図中の電圧	
$V_{\underline{A}}$ [V]	- 2 . 1
$V_{\underline{nA}}$ [V]	1 . 4 6
$V_{\underline{pA}}$ [V]	- 5 . 6 5
V_v [V]	2 . 1
V_{nv} [V]	4 . 2 3
V_{pv} [V]	- 2 . 1 8

また、電流 I_N は第 1 5 図のノード A とノード B 間（上記した非線形抵抗回路の電源側）間に抵抗 R (1 9) を挿入し、その電圧降下を計測アンプ (I N A 1 1 4) 2 0 で増幅し、その増幅された出力電圧から以下の式 (4) ~ (6) により求めた。ここで、 R_g は計測アンプ 2 0 のゲイン G を決定する抵抗であり、 $R_g = 1 0 \text{ k} \Omega$ とした。また、 $R = 3 3 \Omega$ 、出力抵抗 $R_o = 1 0 \text{ k} \Omega$ とした。

$$V_o = G \cdot (V_{IN}^+ - V_{IN}^-) \quad \dots (4)$$

$$G = 1 + (50 \text{ k}\Omega / R_g) \quad \dots (5)$$

$$I_N = V_o / G \cdot R \quad \dots (6)$$

次に、集積回路化の例について説明する。

第15図に示す回路をMOSIS TSMC0.35 μm CMOS半導体プロセスで集積回路化した。ただし、第15図中に示した抵抗19および計測アンプ20からなる $V_{xy} - I_N$ 特性測定回路は集積化せず、個別部品によりチップ外に実装した。第15図の回路を含むICチップの顕微鏡写真を第21図に示す。

第15図中の M_{nA} 、 M_{nV} のサイズは共に $W = 18 \mu\text{m}$ 、 $L = 0.6 \mu\text{m}$ 、 M_{pA} 、 M_{pV} のそれらは共に、 $W = 54 \mu\text{m}$ 、 $L = 0.6 \mu\text{m}$ とした。さらに、キャパシタの値は $C_{p1A} = C_{p2A} = C_{n1V} = C_{n2V} = 0.3 \text{ pF}$ である。

第22図から第28図にチップから測定した $V_{xy} - I_N$ 特性を示す。また、これらの各特性に対する第15図の回路中の各電圧値を表13から表19にそれぞれ示す。これらの特性は、前記した3次から7次までの数値シミュレーションおよびHSPICEシミュレーション特性に対応している。ここで、 I_N は個別部品による実験と同様に計算式(4)、(5)および(6)により求めた。ここで計算式(4)、(5)および(6)式中の各抵抗値はそれぞれ $R_g = 240 \Omega$ 、 $R = 10 \Omega$ 、 $R_o = 10 \text{ k}\Omega$ である。

表13

第15図中の電圧	第22図中の特性		
	A	B	C
V_A [V]	-1.65	-1.65	-1.45
V_{nA} [V]	1.18	1.11	1.42
V_{pA} [V]	-8.75	-8.97	-8.27
V_V [V]	1.65	1.65	1.45
V_{nV} [V]	7.76	7.96	7.06
V_{pV} [V]	-1.35	-1.35	-1.62

表 1 4

第 1 5 図中の電圧	第 2 3 図中の特性	
	A	B
$V_{A_}$ [V]	-1. 6 5	-1. 6 5
V_{nA} [V]	0. 7 7	0. 6 4
V_{pA} [V]	-8. 1 7	-9. 8
V_v [V]	1. 6 5	1. 6 5
V_{nv} [V]	8. 8 2	7. 2 5
V_{pv} [V]	-0. 8 1	-0. 9

表 1 5

第 1 5 図中の電圧	第 2 4 図中の特性		
	A	B	C
$V_{A_}$ [V]	-1. 5 9	-1. 6 5	-1. 6 5
V_{nA} [V]	0. 8 7	0. 8 6	0. 8 9
V_{pA} [V]	-9. 4	-9. 4	-9
V_v [V]	1. 5 9	1. 6 5	1. 6 5
V_{nv} [V]	8. 2 6	8. 2 6	7. 8 6
V_{pv} [V]	-1. 0 2	-1. 0 2	-1. 0 6

表 1 6

第 1 5 図中の電圧	第 2 5 図中の特性		
	A	B	C
$V_{A_}$ [V]	-1. 6 5	-1. 6 5	-1. 6 5
V_{nA} [V]	0. 8 6	0. 9 2	0. 9 6
V_{pA} [V]	-9. 4	-9. 4	-9
V_v [V]	1. 6 5	1. 6 5	1. 6 5
V_{nv} [V]	8. 2 6	8. 2 6	7. 8 6
V_{pv} [V]	-1. 0 2	-1. 0 9	-1. 1 4

表 1 7

第 1 5 図中の電圧	第 2 6 図中の特性		
	A	B	C
V_{A-} [V]	-1. 4 5	-1. 5 5	-1. 6 5
V_{nA} [V]	1. 1 2	0. 9 7	0. 8 6
V_{pA} [V]	-8. 8 1	-9. 5 4	-9. 4
V_v [V]	1. 4 5	1. 5 5	1. 6 5
V_{nv} [V]	7. 6	8. 2 8	8. 2 6
V_{pv} [V]	-1. 2 9	-1. 1 5	-1. 0 2

表 1 8

第 1 5 図中の電圧	第 2 7 図中の特性	
	A	B
V_{A-} [V]	-1. 6 5	-1. 6 5
V_{nA} [V]	0. 7 7	0. 6 4
V_{pA} [V]	-8. 1 7	-8. 8 6
V_v [V]	1. 6 5	1. 6 5
V_{nv} [V]	7. 7 9	7. 2 5
V_{pv} [V]	-0. 8 1	-0. 9

表 1 9

第 1 5 図中の電圧	
V_{A-} [V]	-1. 6 5
V_{nA} [V]	0. 6 5
V_{pA} [V]	-8. 8 6
V_v [V]	1. 6 5
V_{nv} [V]	7. 7 9
V_{pv} [V]	-0. 8 1

なお、他の実施例として、 Λ 字型およびV字型の特性を、第1図中の

(1) V_{xA} および V_{yv}

(2) V_{yA} および V_{xv}

(3) V_{xA} , V_{yA} , V_{xv} および V_{yv}

によりそれぞれ横軸方向に平行移動させるさせて実現するようにしてもよい。

本発明によれば、回路中の制御電圧を調整することで、3次から7次までの区分線形近似が可能な様々な形状のV-I特性を得ることができる。さらに、これを集積回路化し、発振回路やカオス発生回路等に応用することができる。

より詳細には、上記した本発明のN字型非線形抵抗回路のN字型の非線形抵抗特性は、中央付近に負性抵抗領域があるため、発振回路やニューロン素子等に広く応用されている。特に、3次や5次の区分線形特性で近似できるものは、LやC等と組み合わせることで、正弦波発振回路やカオス発生回路等が構成できる。

また、上記したように、3次から7次までの各次数の区分線形特性で近似できるV-I特性が実現可能であり、さらに、これらのV-I特性は、外部電圧により容易に、かつ、多様に変化させることができる。また、4次や6次の特性はあまり広く応用されていないが、これらをも容易に実現できるため、新しく発振回路等への応用が期待される。

さらに、本発明のフローティングゲートMOSFETを用いたN字型非線形抵抗回路は、標準的なCMOS半導体プロセスで実装可能であり、各種応用回路の集積回路化を可能にすることができる。

また、N字型の電圧-電流特性を持つ回路は、正弦波発振回路やダブルスクロール型のカオス発振回路、ニューロン素子に広く使用することができる。この回路構成は集積回路化が容易であるため、正弦波あるいはカオス発振波形が必要な多種の集積回路に応用可能である。また、従来あまり利用されていない4次や6次の非線形特性も実現できるため、新しい回路への応用も期待できる。

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 3次から7次までの区分線形関数で近似できるような、様々なN字型V-I特性を実現でき、さらにそれらの特性を外部電圧により多様に変化させることができる。

(2) 標準的なCMOS半導体プロセスで実装可能であり、各種応用回路の集積回路化を可能にすることができる。

産業上の利用可能性

本発明のフローティングゲートMOSFETを用いた非線形抵抗回路は、発振回路やカオス発生回路、ニューロン回路などの基本構成要素として重要なN字型の電圧-電流特性を示すデバイスとして好適であり、電圧制御正弦波発振回路、電圧制御カオス発振回路、ダイナミックニューロン回路、メモリ回路等への応用が期待される。

請 求 の 範 囲

1. 多入力フローティングゲートMOSFETを用いたΛ字型の非線形抵抗回路とV字型の非線形抵抗回路を並列に接続し、前記Λ字型の非線形抵抗回路の電流と前記V字型の非線形抵抗回路の電流を加算することにより、多様なN字型電圧－電流特性を合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

2. 請求項1記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記N字型電圧－電流特性を連続的に変化させることを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

3. 請求項2記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、3次から7次までの各次数の区分線形特性で近似できる電圧－電流特性を実現することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

4. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記3次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の負性抵抗部をできるだけ線形にし、その両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

5. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記3次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の負性抵抗部をできるだけ線形にし、その両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN－チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフ

ローティングゲートMOSFETを用いた非線形抵抗回路。

6. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記4次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

7. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記4次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性又はV字型の非線形抵抗回路の電圧－電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN－チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

8. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記5次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

9. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記5次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調

整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路のフローティングゲートPーチャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートNーチャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ左と右方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

10. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記6次特性は、前記Λ字型の非線形抵抗回路の電圧ー電流特性又はV字型の非線形抵抗回路の電圧ー電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧ー電流特性及びV字型の非線形抵抗回路の電圧ー電流特性の両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とNーチャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とPーチャネルMOSFETのドレイン端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

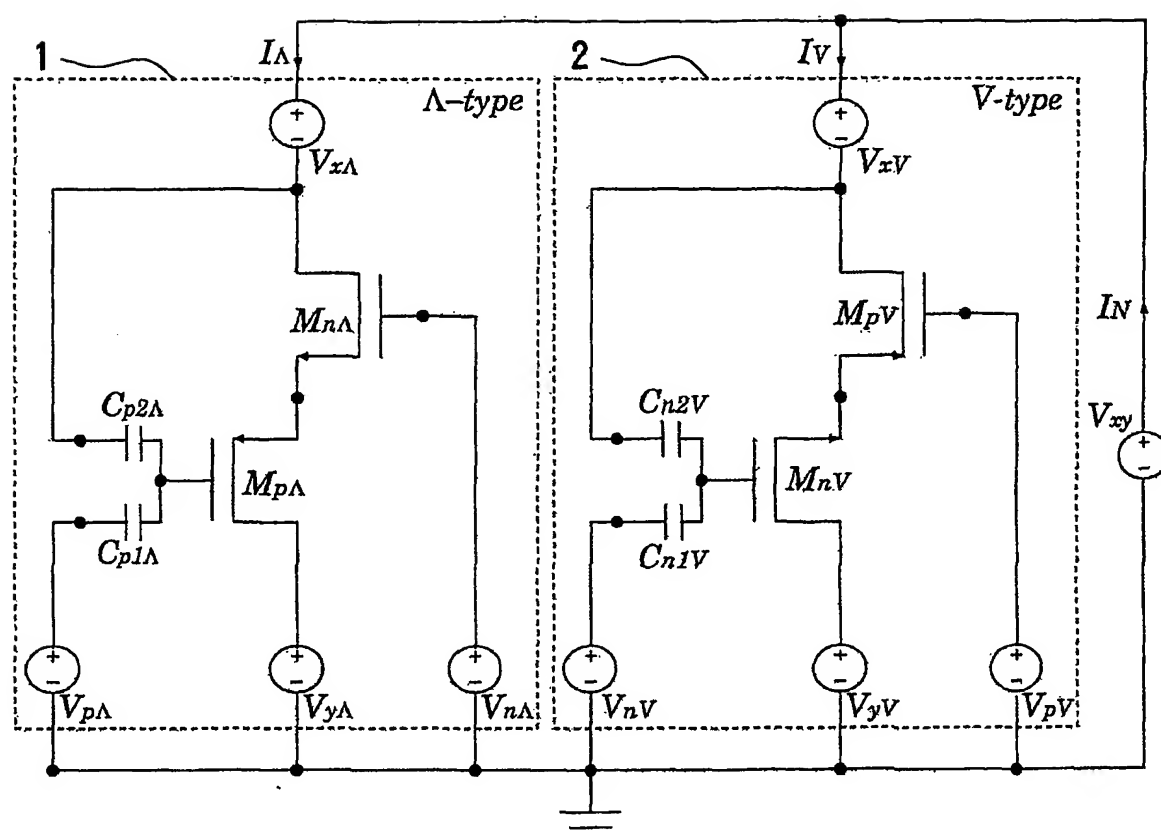
11. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記6次特性は、前記Λ字型の非線形抵抗回路の電圧ー電流特性又はV字型の非線形抵抗回路の電圧ー電流特性のどちらかの特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧ー電流特性及びV字型の非線形抵抗回路の電圧ー電流特性の両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートPーチャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートNーチャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

12. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記Λ字型の非線形抵抗回路の電圧ー電流特性及びV字型の非線形抵抗回路の電圧ー電流特性の両方の特性の負性部分の傾きを

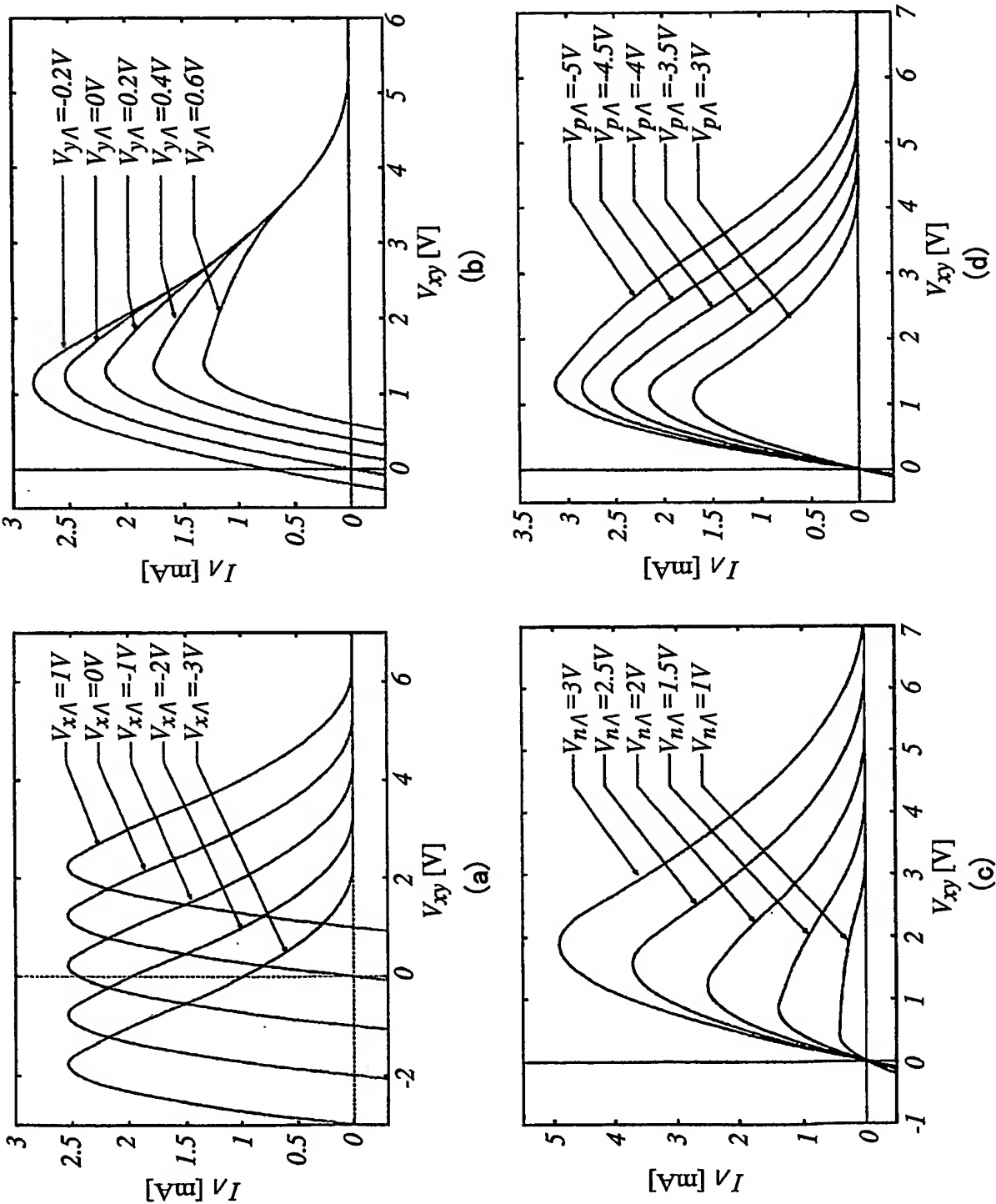
調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路の入力端子とN－チャネルMOSFETのドレイン端子間の電圧及び前記V字型の非線形抵抗回路の入力端子とP－チャネルMOSFETのドレイン端子間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

13. 請求項3記載のフローティングゲートMOSFETを用いた非線形抵抗回路において、前記7次特性は、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性の負性部分の傾きを調整することにより、その特性自身に傾きの変化を持たせ、前記Λ字型の非線形抵抗回路の電圧－電流特性及びV字型の非線形抵抗回路の電圧－電流特性の両方の特性を、前記Λ字型の非線形抵抗回路のフローティングゲートP－チャネルMOSFETのドレイン端子と接地間の電圧及び前記V字型の非線形抵抗回路のフローティングゲートN－チャネルMOSFETのドレイン端子と接地間の電圧によりそれぞれ横軸方向に並行移動させて合成することを特徴とするフローティングゲートMOSFETを用いた非線形抵抗回路。

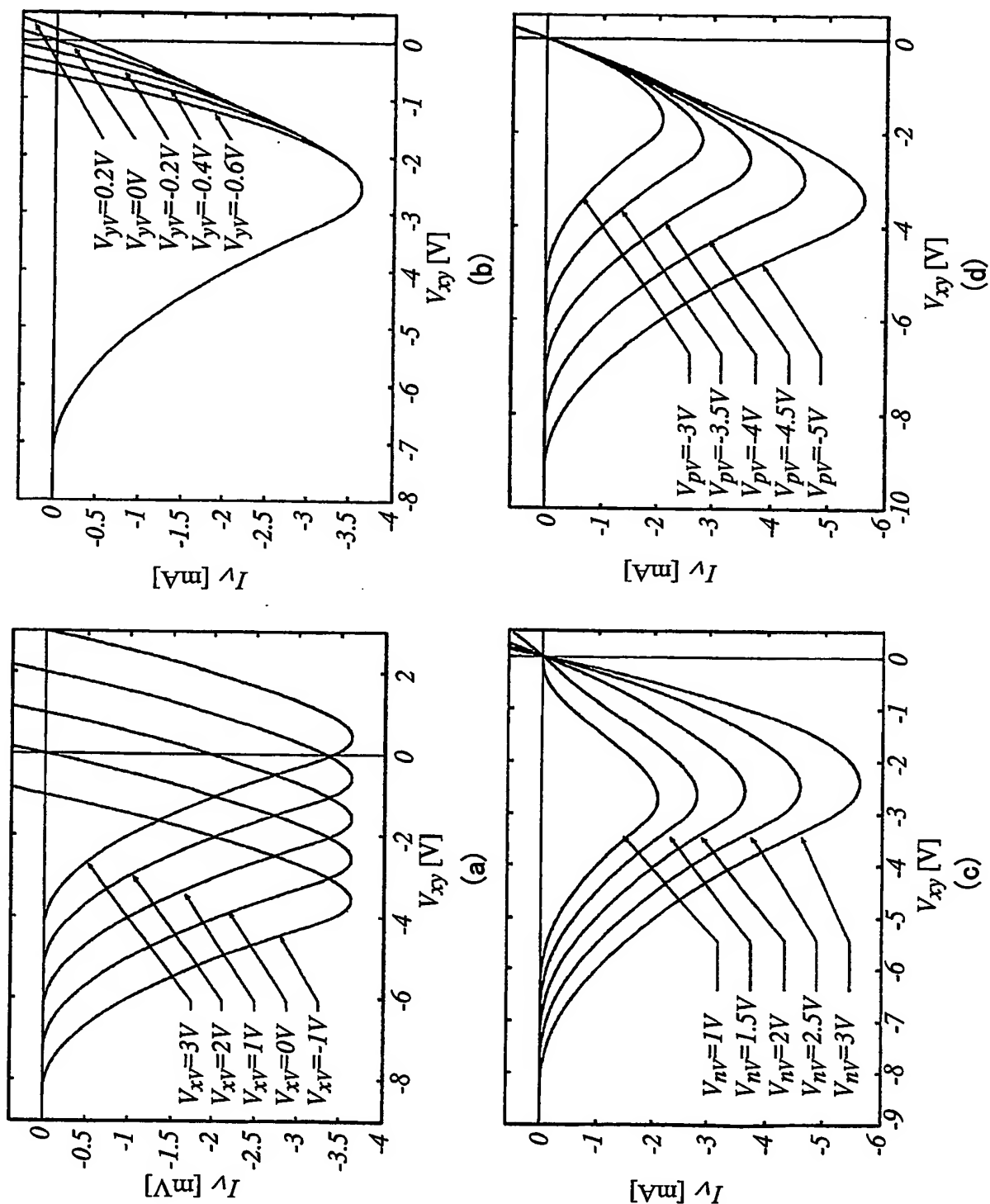
第 1 図



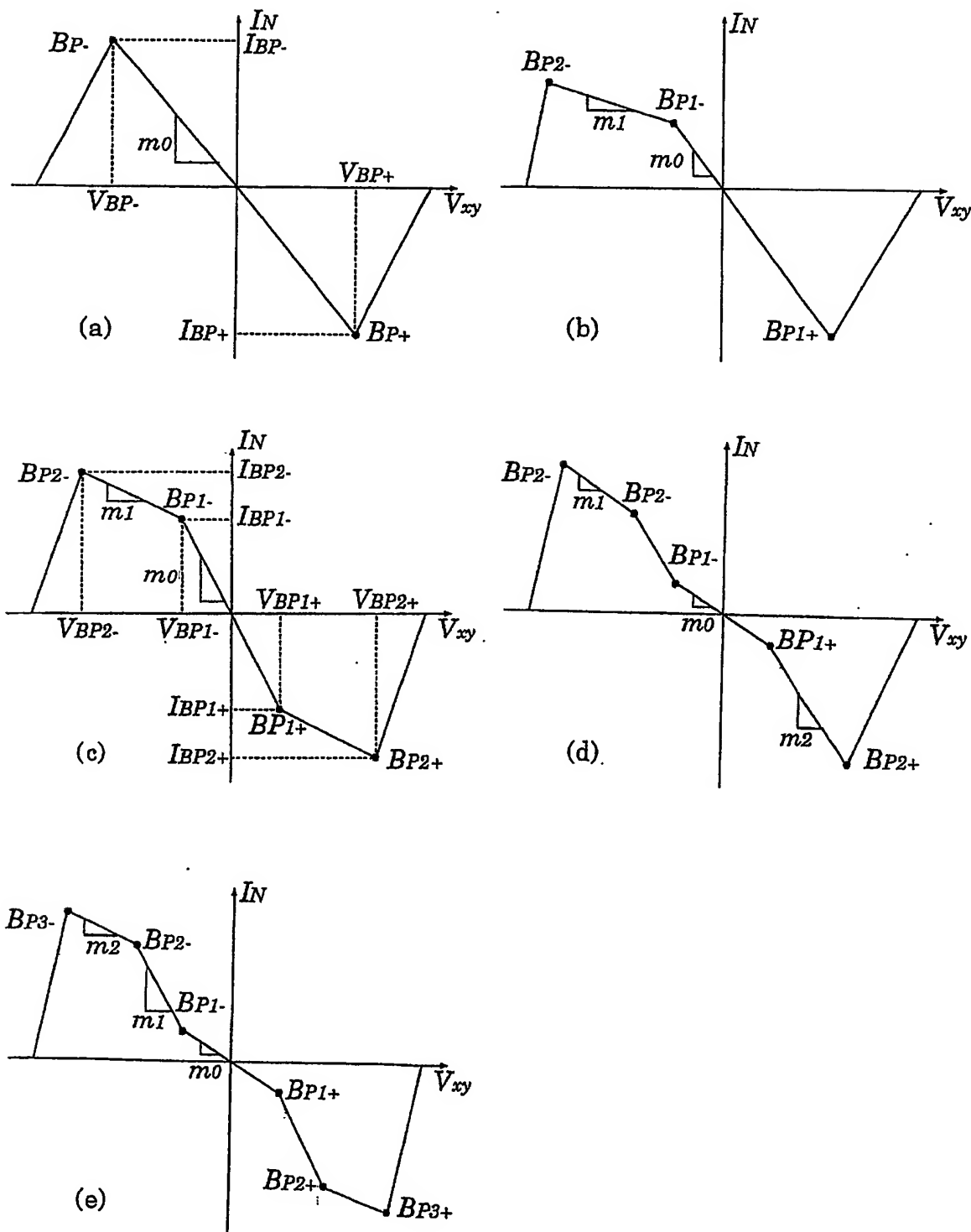
第 2 図



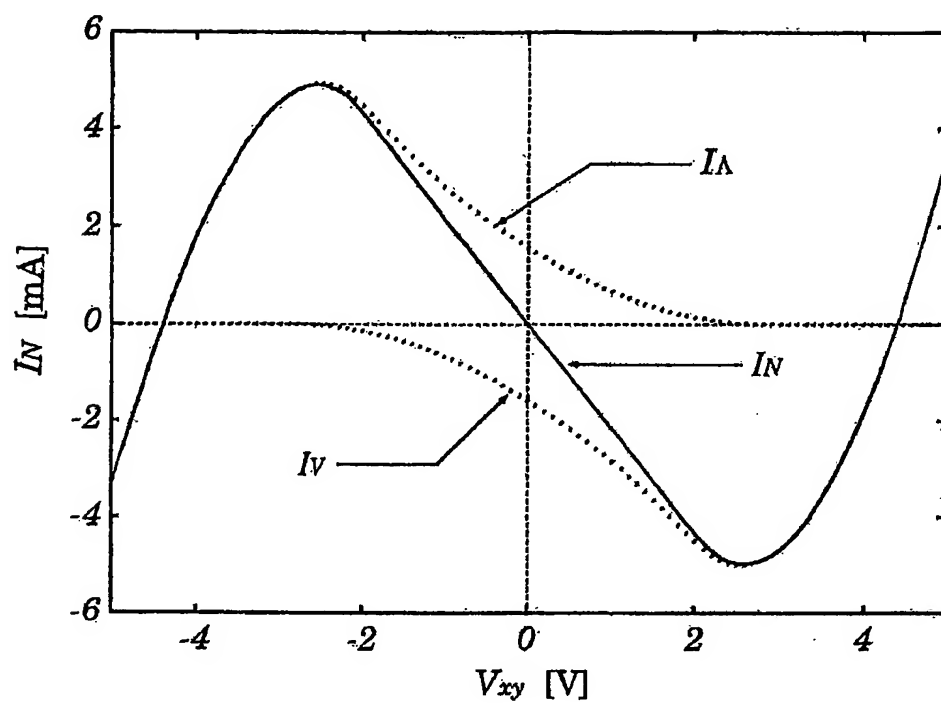
第 3 図



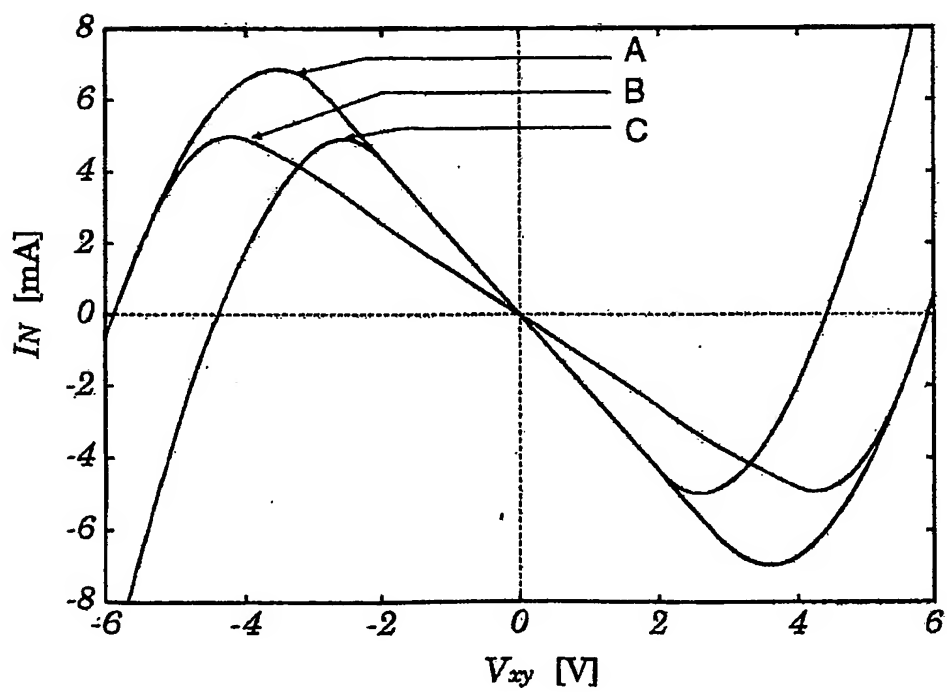
第 4 図



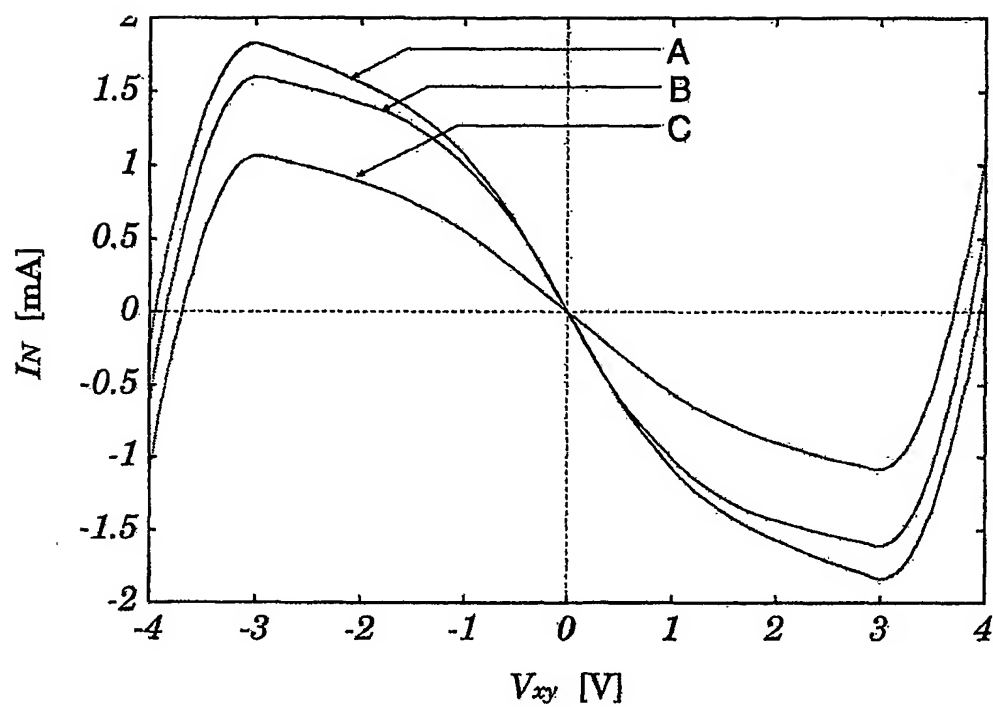
第 5 図



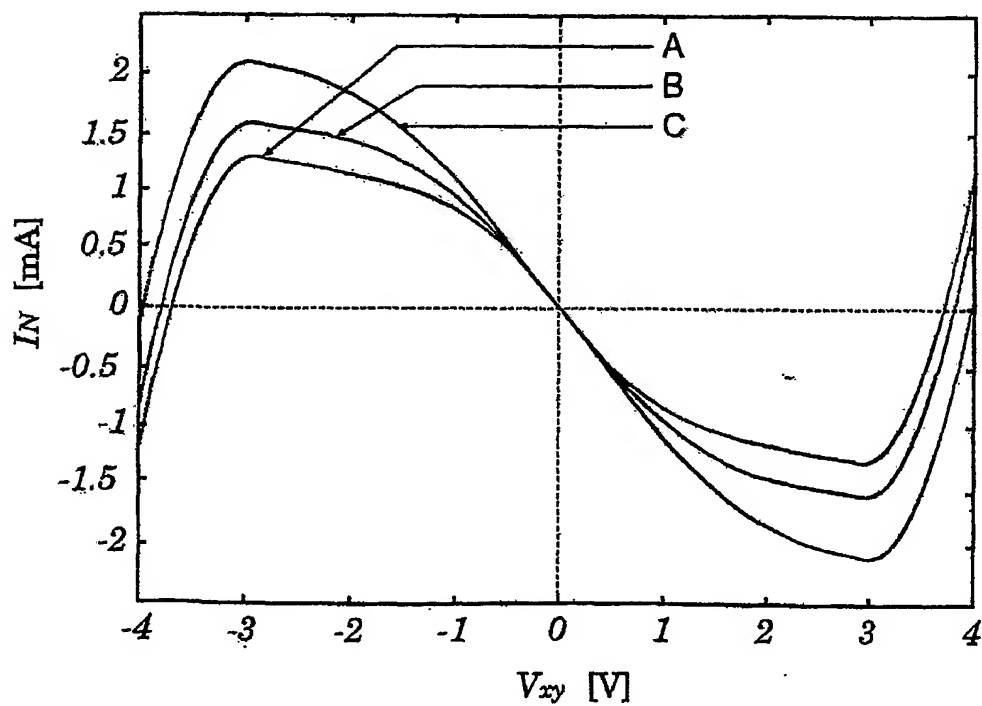
第 6 図



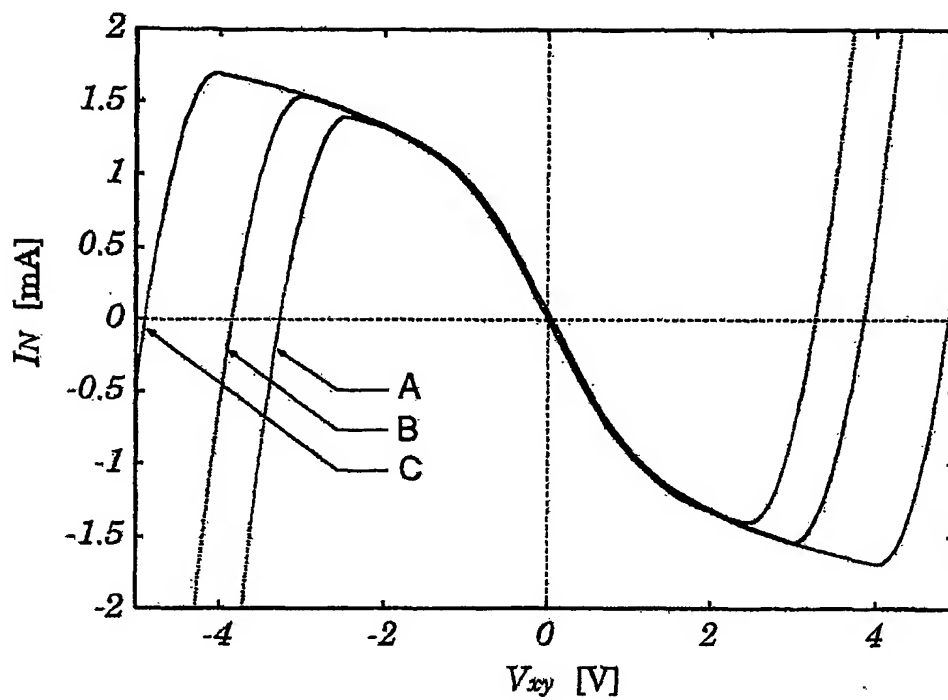
第 7 図



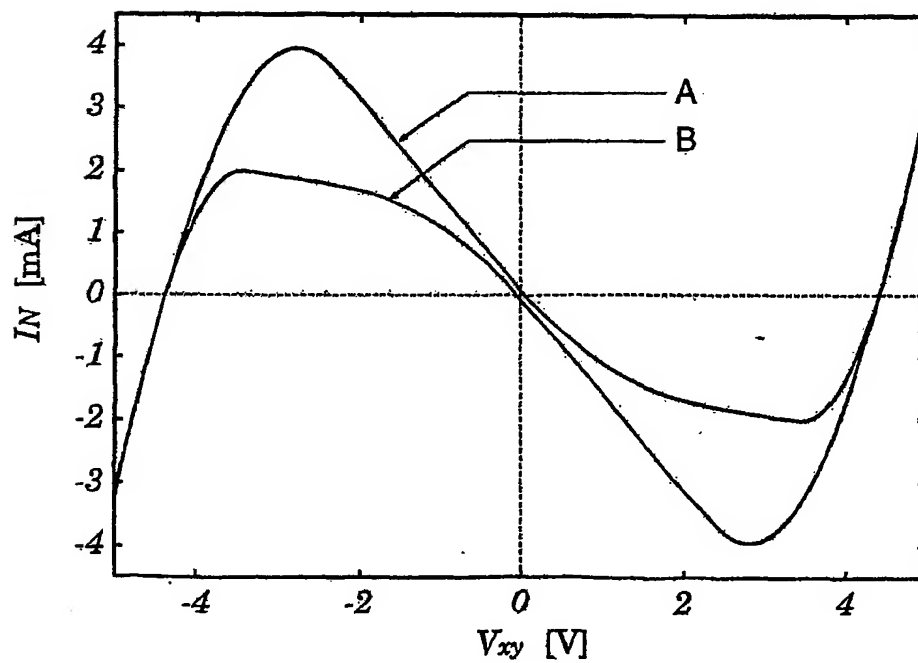
第 8 図



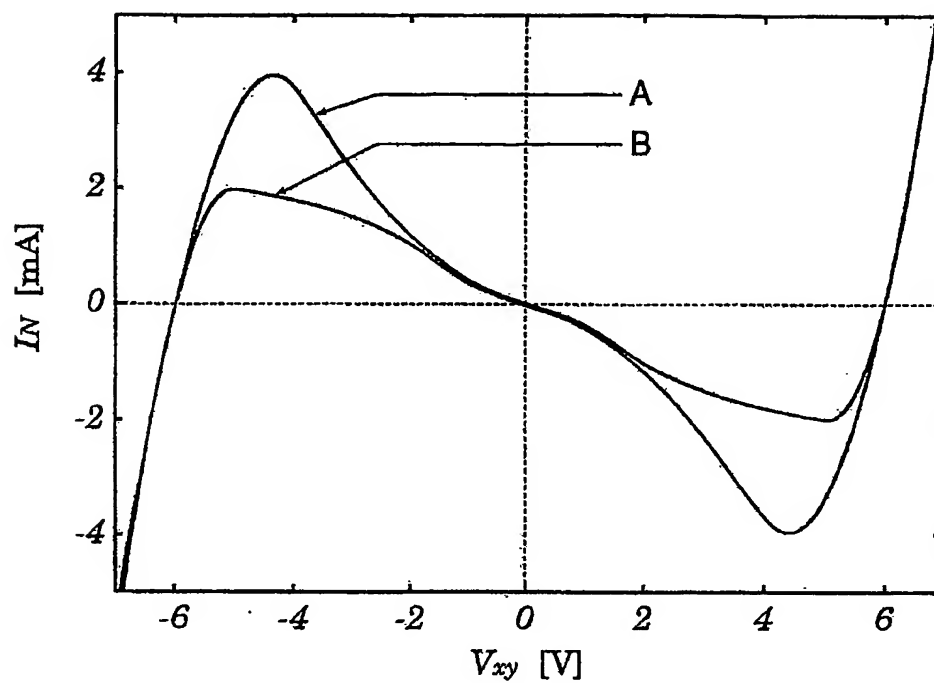
第 9 図



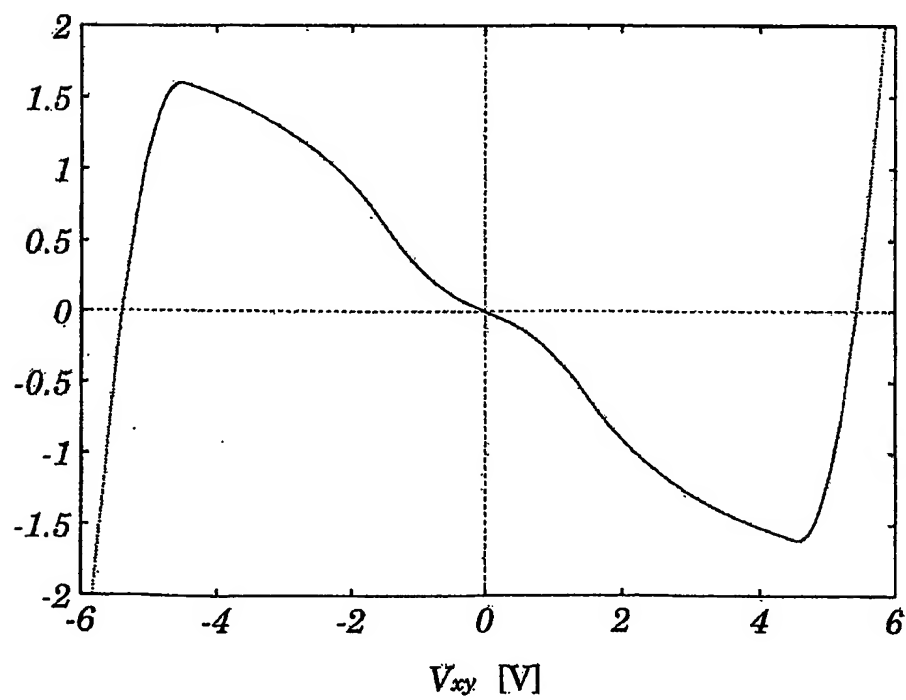
第 10 図



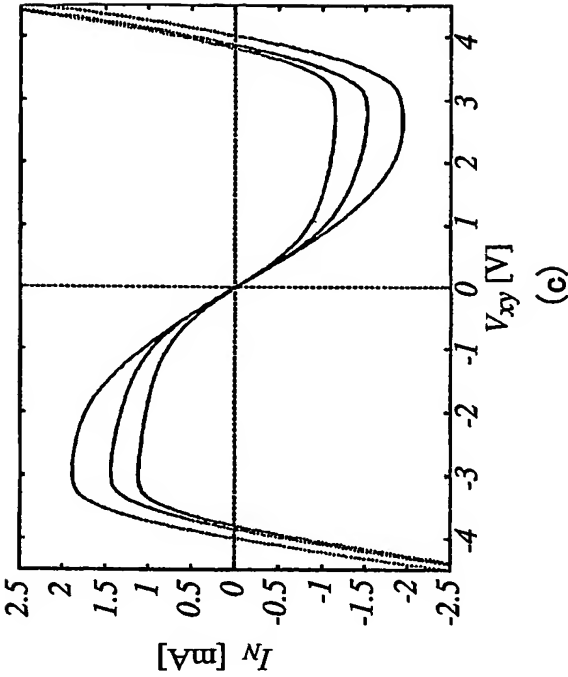
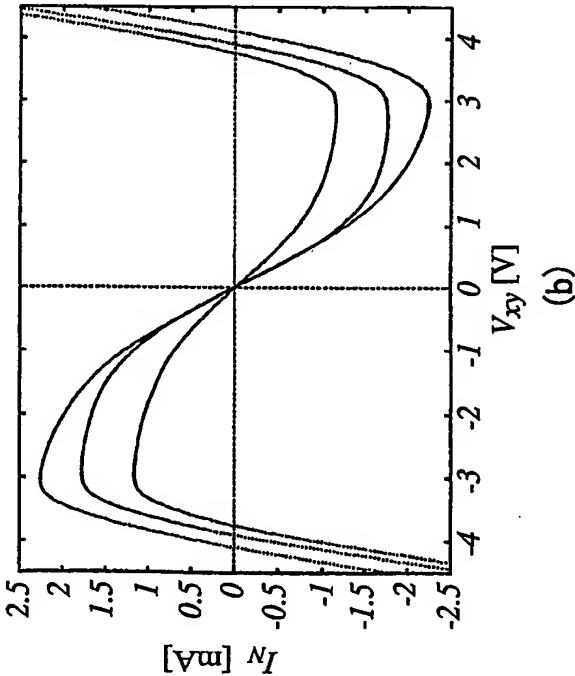
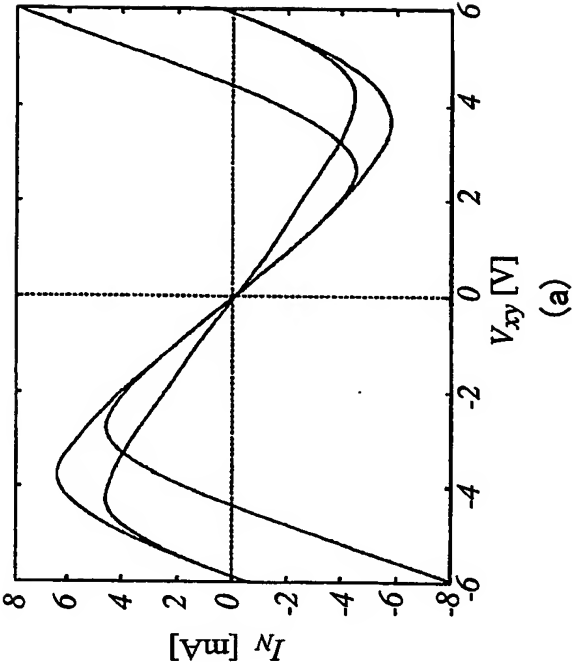
第 11 図



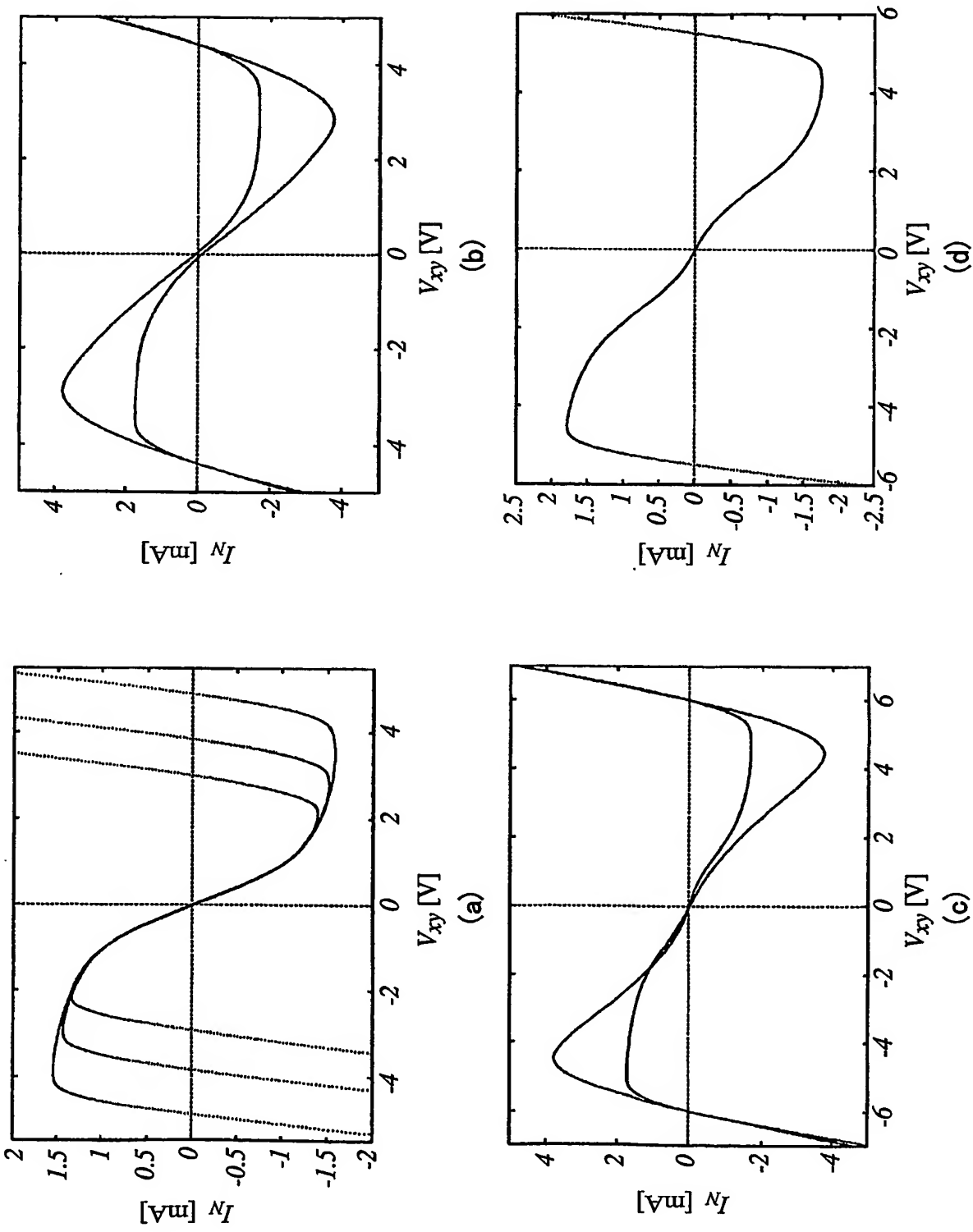
第 12 図



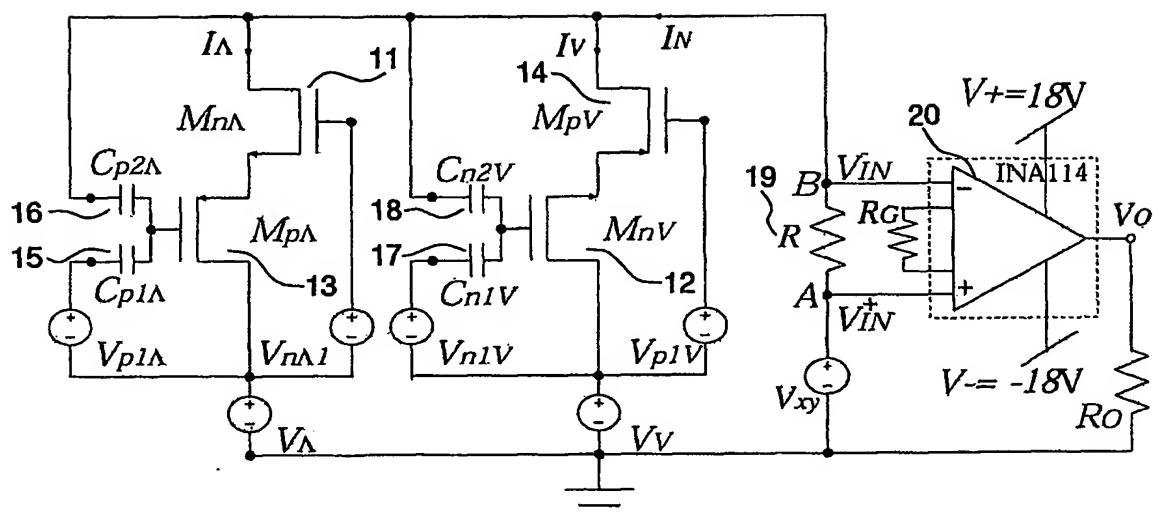
第 13 図



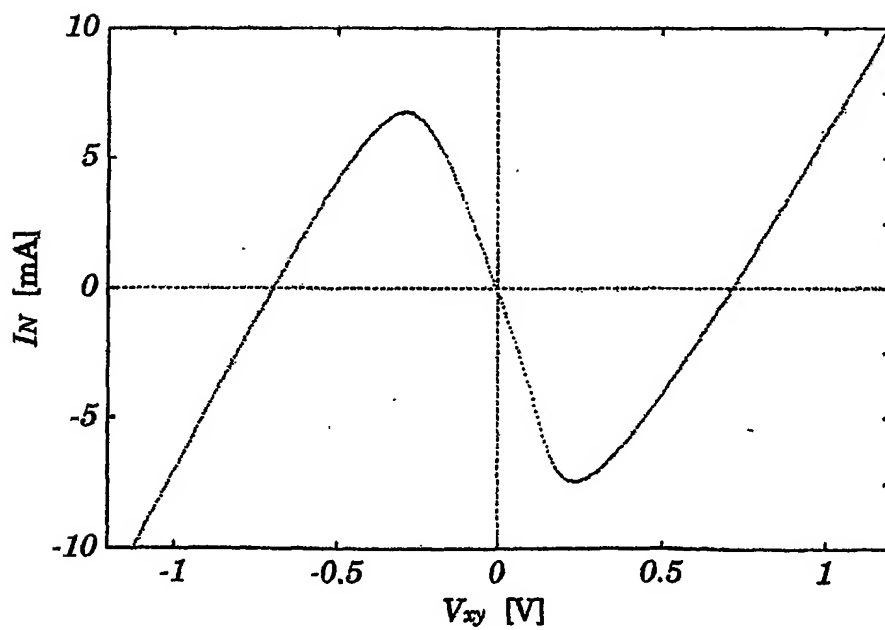
第 14 図



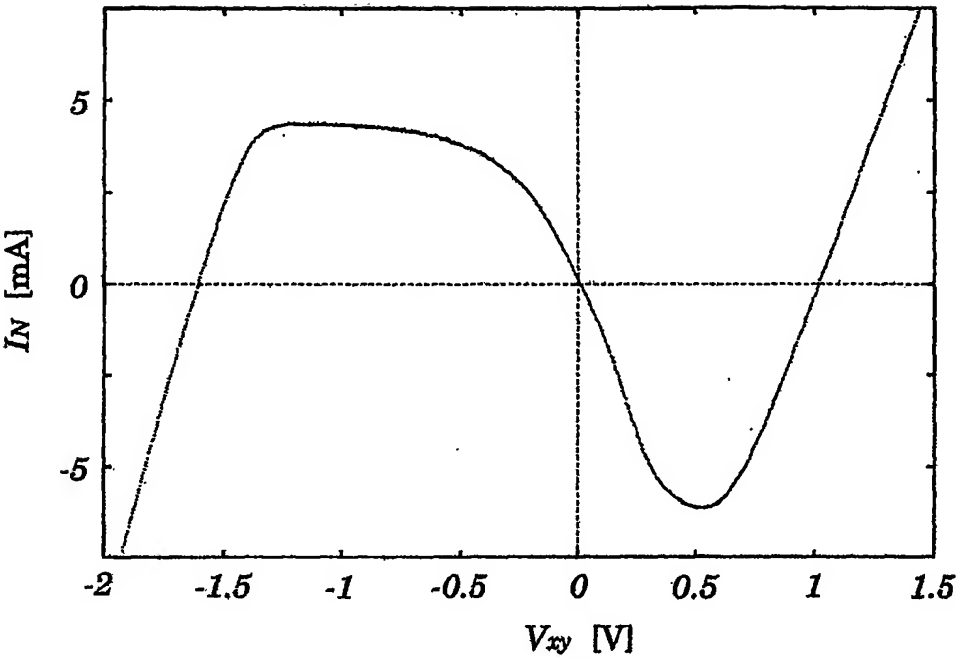
第 15 図



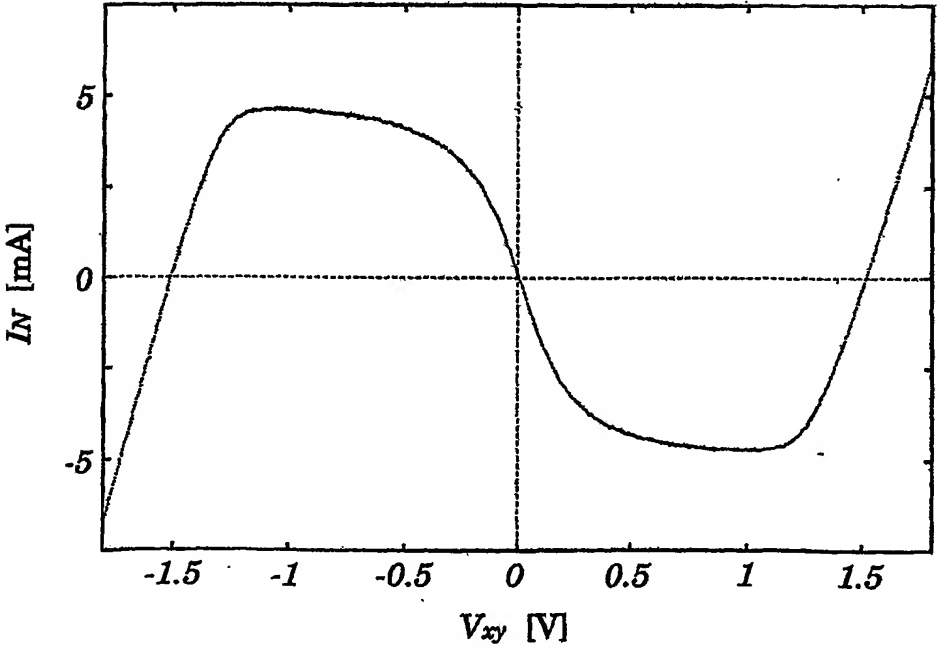
第 16 図



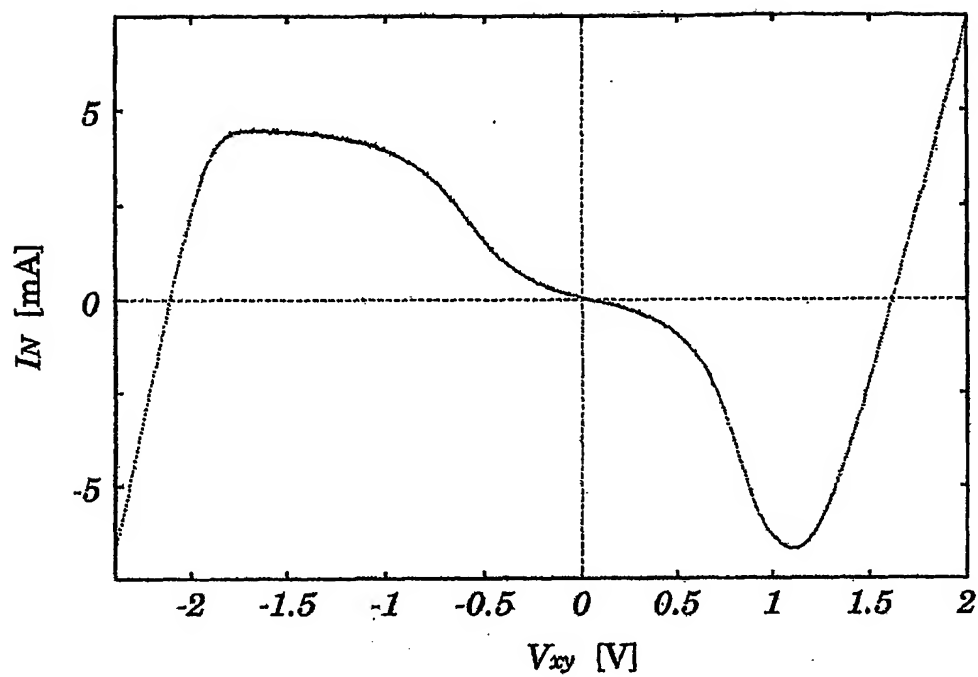
第 17 図



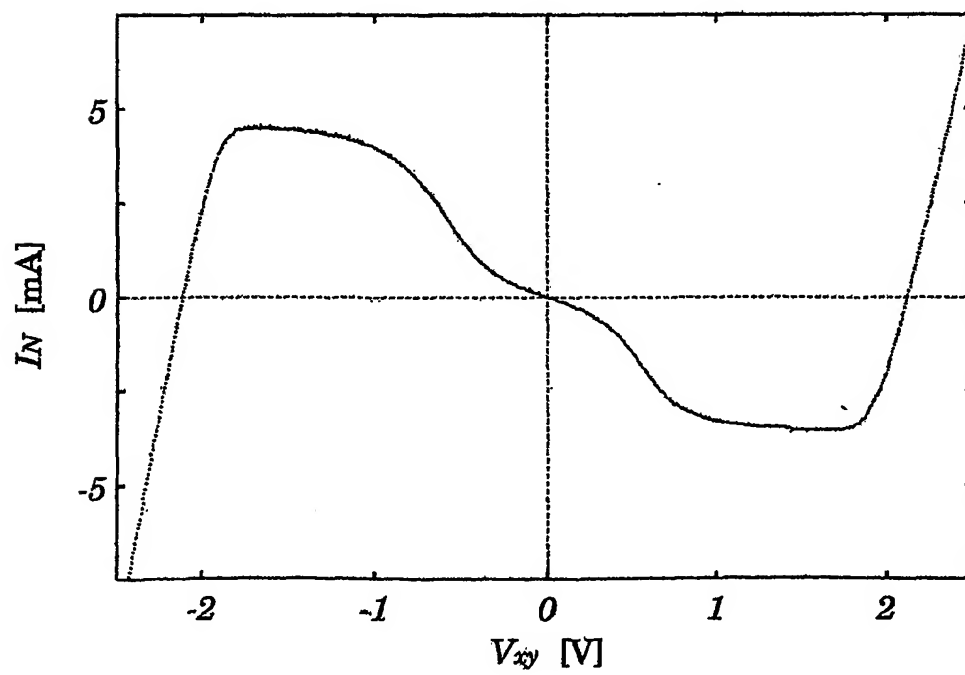
第 18 図



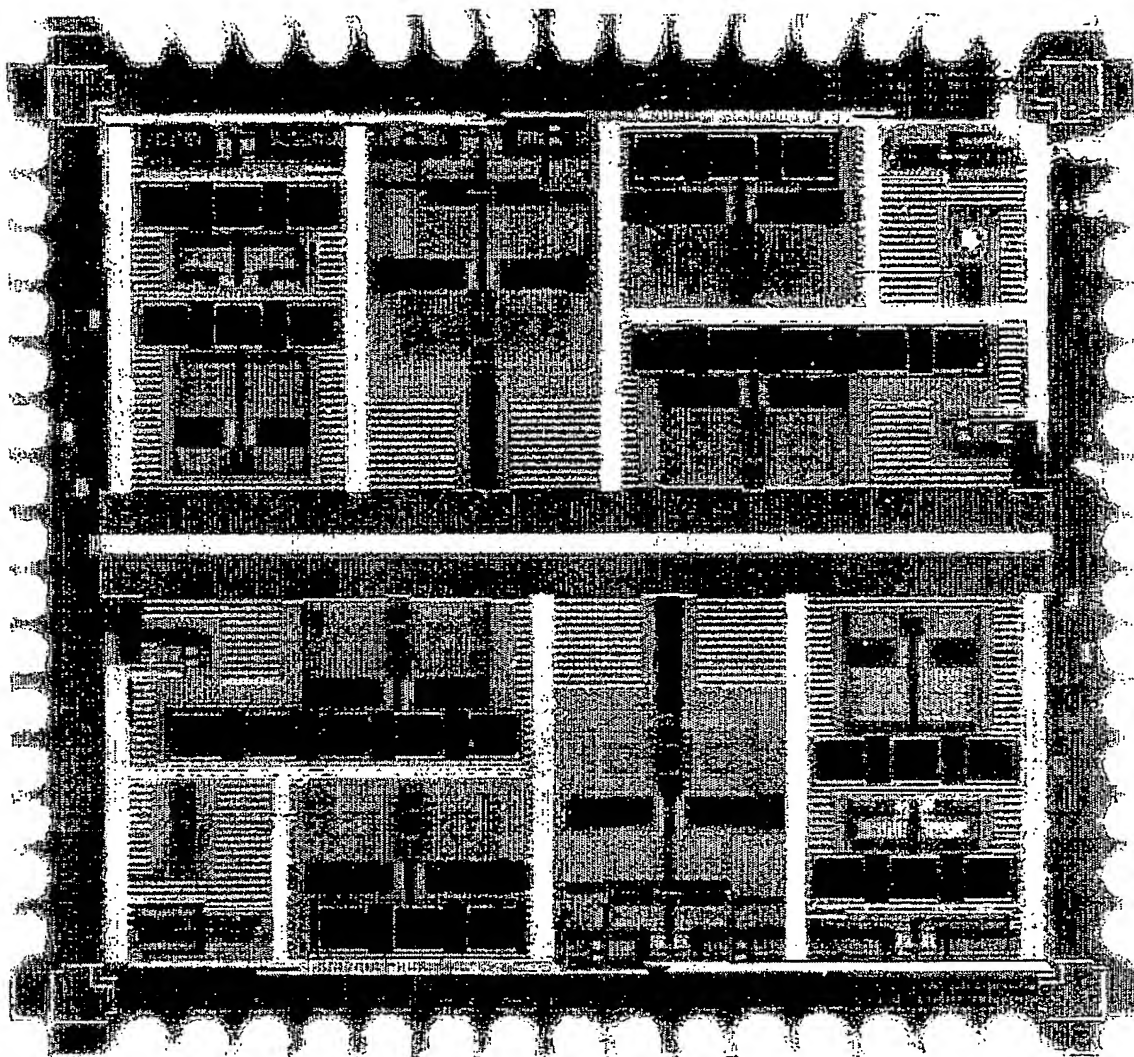
第 19 図



第 20 図



第 21 図

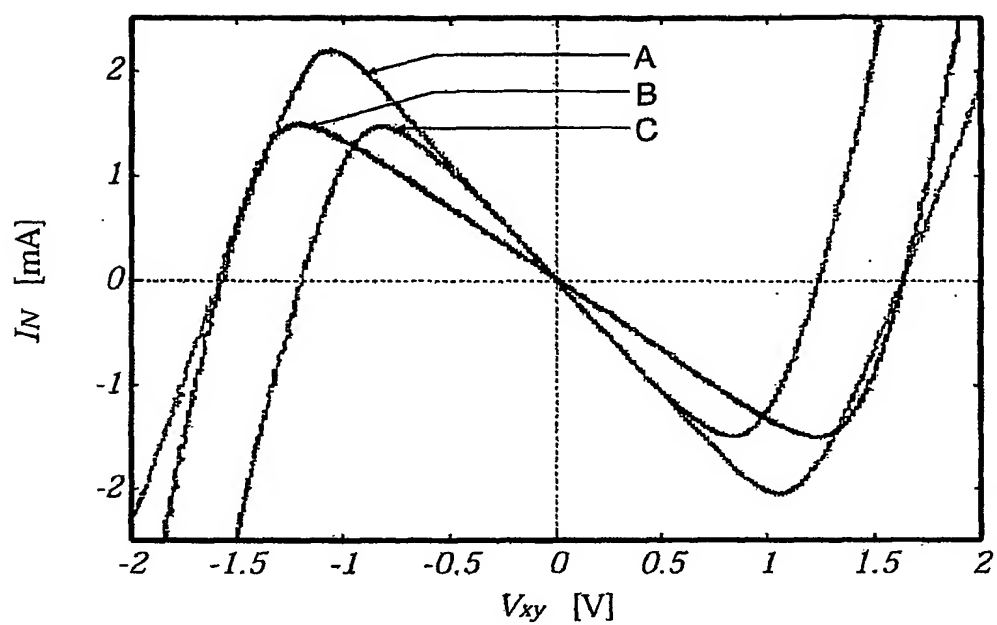


14/18

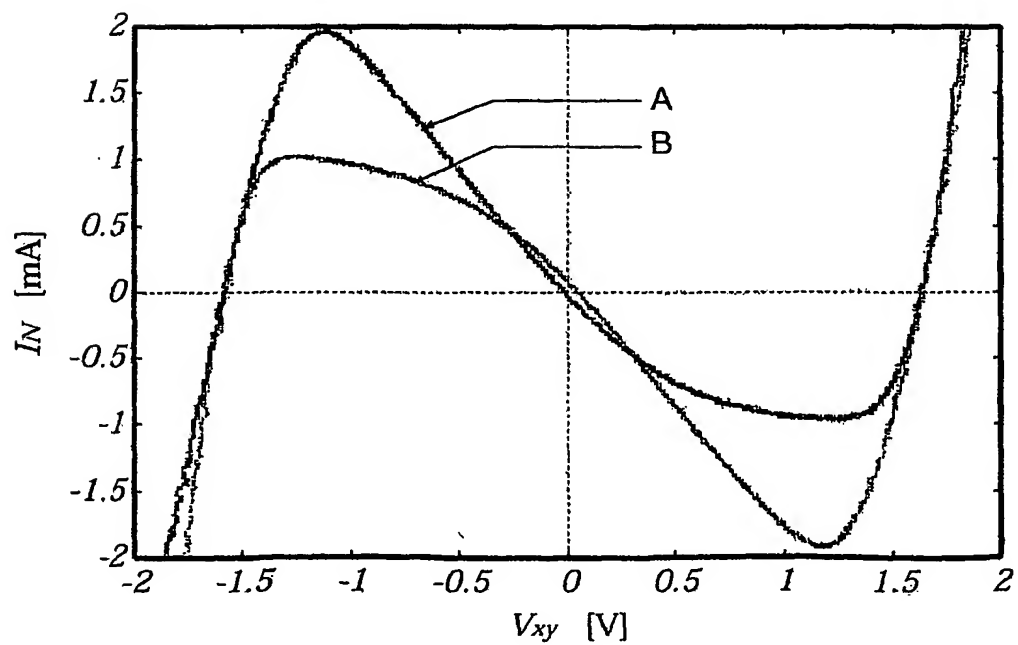
差替え用紙（規則26）

BEST AVAILABLE COPY

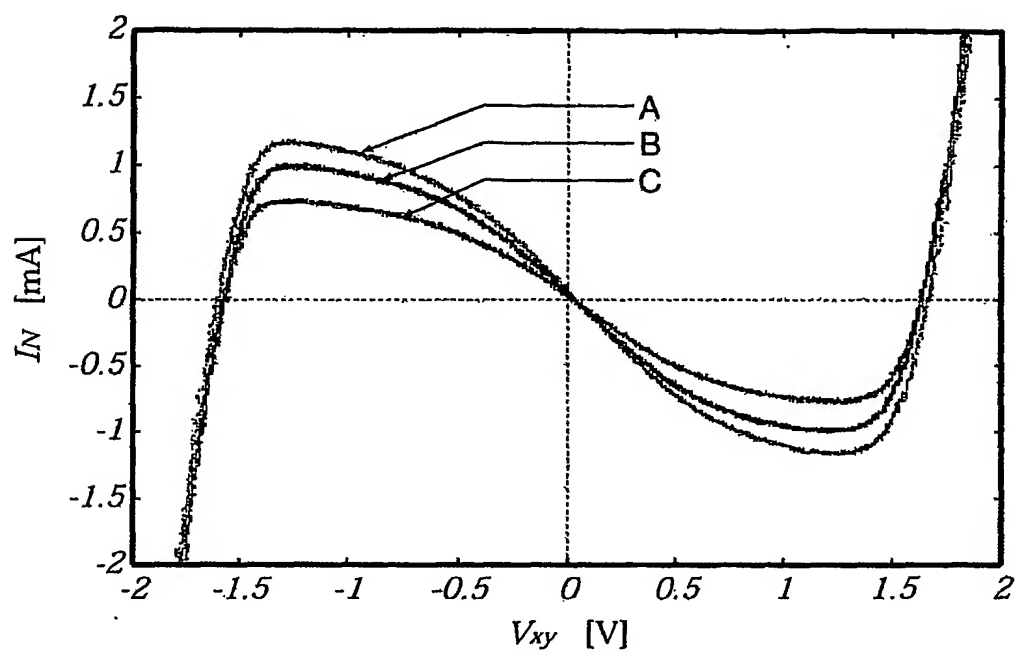
第 22 図



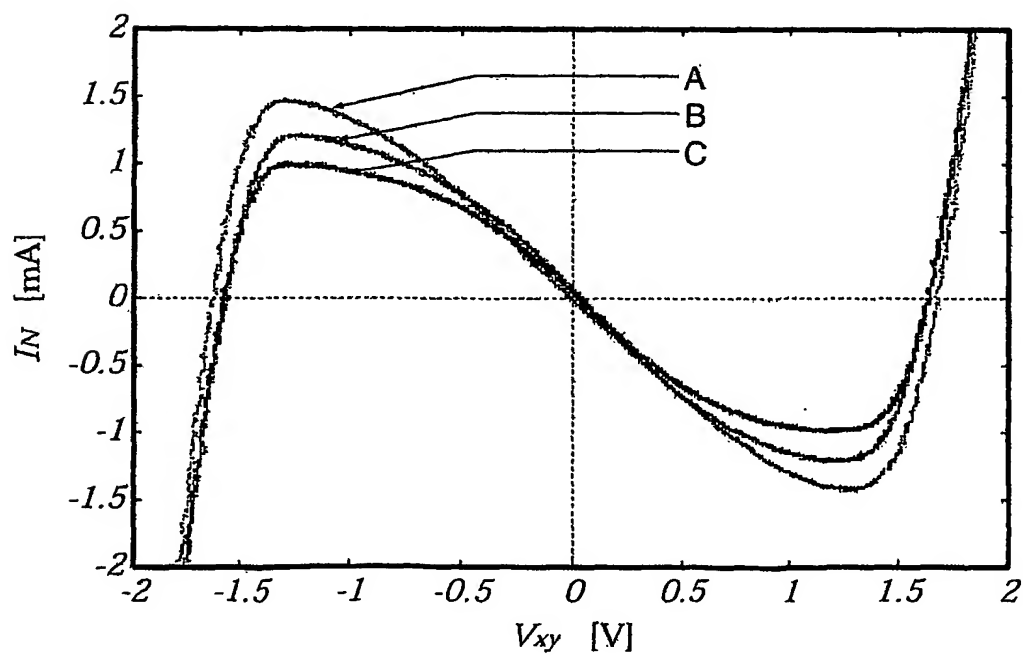
第 23 図



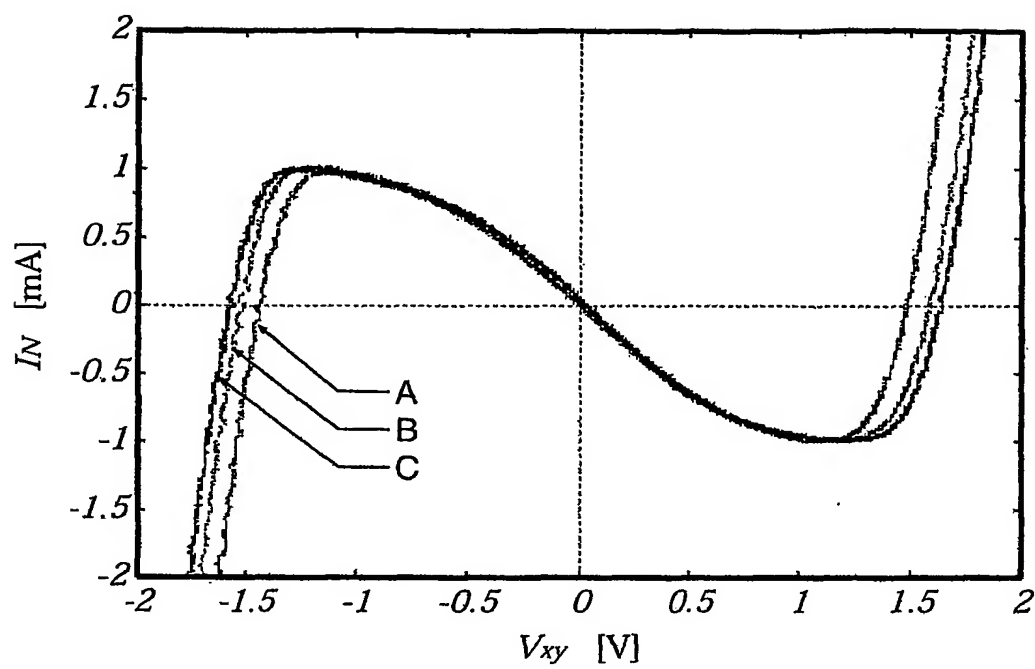
第 24 図



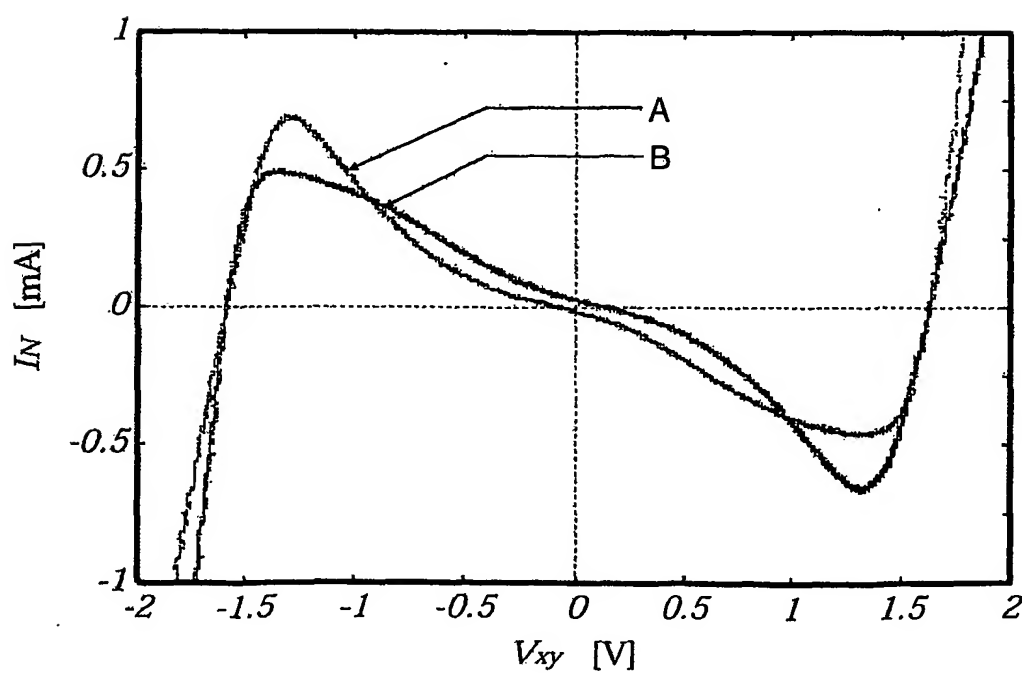
第 25 図



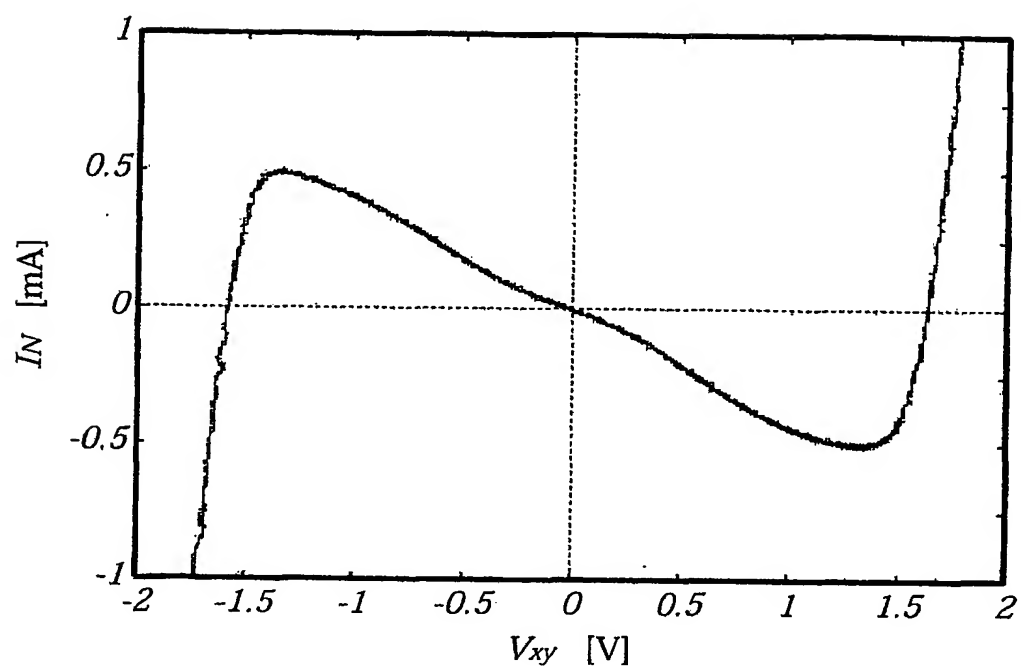
第 26 図



第 27 図



第 28 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00513

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H11/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03H11/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y	JP 2000-68788 A (Japan Science and Technology Corp.), 03 March, 2000 (03.03.00), All pages; all drawings & US 6356136 B	4-13 1-3
Y	JP 39-3222 B (International Standard Electric Corp.), 28 March, 1964 (28.03.64), Page 8, right column, line 22 to page 9, right column, line 23; Figs. 7 to 10 (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 March, 2003 (12.03.03)

Date of mailing of the international search report
25 March, 2003 (25.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/52

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2003

日本国登録実用新案公報 1994-2003

日本国実用新案登録公報 1996-2003

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-68788 A (科学技術振興事業団) 2000.03.03&US 6356136 B	4-13
Y	全頁、全図	1-3
Y	JP 39-3222 B (インターナショナル、スタンダード、エレクトリック、コーポレーション) 1964.03.28 (ファミリーなし) 第8頁右欄第22行-第9頁右欄第23行、FIG. 7-FIG. 10	1-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12.03.03

国際調査報告の発送日

25.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 稔

5W

8525

電話番号 03-3581-1101 内線 6441